

SEMICONDUCTOR STORAGE DEVICE

Patent number: WO0178079
Publication date: 2001-10-18
Inventor: INABA HIDEO (JP); NAKAGAWA ATSUSHI (JP); TAKAHASHI HIROYUKI (JP)
Applicant: INABA HIDEO (JP); NAKAGAWA ATSUSHI (JP); NIPPON ELECTRIC CO (JP); TAKAHASHI HIROYUKI (JP)
Classification:
 - international: G11C11/40
 - european: G11C11/408, G11C11/406
Application number: WO2001JP03065 20010410
Priority number(s): JP20000109689 20000411; JP20010105837 20010404

Also published as:

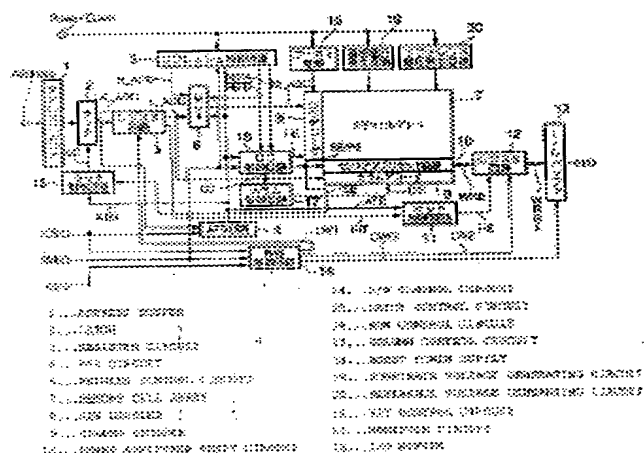
EP1291880 (A1)
 US2003063512 (A)
 JP2001357671 (A)

Cited documents:

JP6036557
 JP61005495
 JP60113393
 JP1094593
 JP5189961

Abstract of WO0178079

A semiconductor storage device operating according to SRAM specifications in which normal access is not delayed by the effect of refresh and the memory cycle can be shortened as compared with conventional one. An ATD circuit (4) is subjected to variation of address (Address) and generates a one-shot pulse in an address variation detection signal (ATD) after an address skew period. In response to a write request, a write enable signal (/WE) is caused to fall during the address skew period. Write or read is started at the rise of the one-shot pulse. When write is performed, late write is performed, using an address and data provided when write is requested immediately before. Subsequently, refresh is performed within a period from the fall of the one-shot pulse and to the end of the address skew period of the next memory cycle. For the late write performed in response to the next write request, an address and data are taken into register circuits (3, 12) at the rise of the write enable signal (/WE).



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 10 月 18 日 (18.10.2001)

PCT

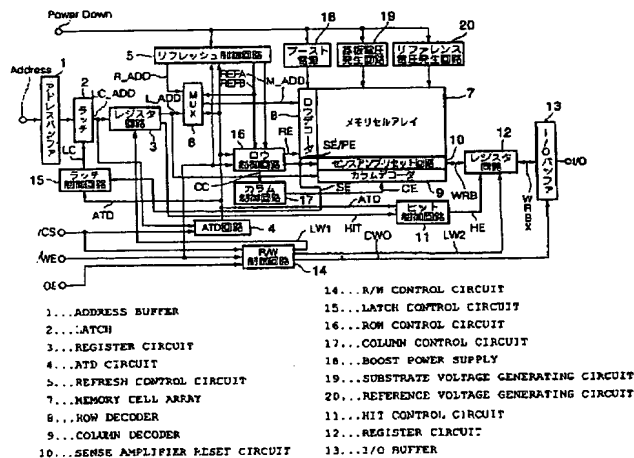
(10) 国際公開番号
WO 01/78079 A1

- (51) 国際特許分類: G11C 11/40 (72) 発明者: および
(75) 発明者/出願人 (米国についてのみ): 高橋弘行 (TAKAHASHI, Hiroyuki) [JP/JP]. 稲葉秀雄 (INABA, Hideo) [JP/JP]. 中川 敦 (NAKAGAWA, Atsushi) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP01/03065
- (22) 国際出願日: 2001 年 4 月 10 日 (10.04.2001)
- (25) 国際出願の言語: 日本語 (74) 代理人: 高橋昭男, 外 (TAKAHASHI, Norio et al.); 〒169-8925 東京都新宿区高田馬場三丁目23番3号 ORビル Tokyo (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: (81) 指定国 (国内): CN, KR, US.
- 特願2000-109689 2000 年 4 月 11 日 (11.04.2000) JP
特願2001-105837 2001 年 4 月 4 日 (04.04.2001) JP
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 Tokyo (JP). 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: A semiconductor storage device operating according to SRAM specifications in which normal access is not delayed by the effect of refresh and the memory cycle can be shortened as compared with conventional one. An ATD circuit (4) is subjected to variation of address (Address) and generates a one-shot pulse in an address variation detection signal (ATD) after an address skew period. In response to a write request, a write enable signal (/WE) is caused to fall during the address skew period. Write or read is started at the rise of the one-shot pulse. When write is performed, late write is performed, using an address and data provided when write is requested immediately before. Subsequently, refresh is performed within a period from the fall of the one-shot pulse and to the end of the address skew period of the next memory cycle. For the late write performed in response to the next write request, an address and data are taken into register circuits (3, 12) at the rise of the write enable signal (/WE).

[続葉有]

WO 01/78079 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

SRAM仕様で動作し、リフレッシュの影響で通常のアクセスが遅延せず、メモリサイクルを従来よりも短縮可能な半導体記憶装置を提供する。ATD回路(4)はアドレス(Address)の変化を受けて、アドレススキュー期間経過後にアドレス変化検出信号(ATD)にワンショットパルスを発生させる。書き込み要求の場合は、アドレススキュー期間内に書き込みイネーブル信号(/WE)を立ち下げる。まず、ワンショットパルスの立ち上がりから書き込み又は読み出しを行い、書き込みの場合には直前の書き込み要求時に与えられたアドレス及びデータを用いたレイトライトを行う。次に、ワンショットパルスの立ち下がりから後続のメモリサイクルのアドレススキュー期間終了までにリフレッシュを行う。そして、次の書き込み要求時におけるレイトライトのために、書き込みイネーブル信号(/WE)の立ち上がりでアドレスとデータをレジスタ回路(3, 12)に取り込む。

明 細 書

半導体記憶装置

技術分野

本発明は、メモリセルアレイがDRAM（ダイナミック・ランダム・アクセス・メモリ）と同じメモリセルで構成されており、かつ、半導体記憶装置の外部から見たときに汎用のSRAM（スタティックRAM）と同様の仕様で動作する半導体記憶装置に関する。なかでも本発明は、携帯電話やPHS（パーソナル・ハンディフォン・システム）等に代表される携帯機器へ搭載するのに適した半導体記憶装置に関するものである。

背景技術

ランダムアクセスの可能な半導体記憶装置としてはSRAMおよびDRAMが最も代表的である。DRAMと比べた場合、SRAMは一般に高速である上に、電源を供給してアドレスを入力しさえすればそのアドレスの変化を捉えて内部の順序回路が動作して読み出し・書き込みを行うことができる。このように、SRAMはDRAMに比べて単純な入力信号波形を与えるだけで動作するため、こうした入力信号波形を生成する回路の構成も簡単化することが可能である。

また、SRAMはDRAMのようにメモリセルに記憶されたデータを保持し続けるためのリフレッシュが不要であることから、その取り扱いが容易であるとともに、リフレッシュを必要としないのでスタンバイ状態におけるデータ保持電流が小さいという長所もある。こうしたこともあってSRAMは様々な用途に広く用いられている。もっとも、SRAMは一般に1メモリセル当たり6個のトランジスタを必要とするため、大容量化を図ろうとするとDRAMに比べてどうしてもチップサイズが大きくなってしまいうほか、価格自体もDRAMに比べて高くならざるを得ないという短所もある。

一方、DRAMはアドレスとして行アドレス及び列アドレスを2回に分けて別々に与えねばならないこと、これらアドレスの取り込みタイミングを規定する

信号としてRAS（行アドレスストロブ）／CAS（列アドレスストロブ）を必要とすること、定期的にメモリセルをリフレッシュすることが必要であることなど、SRAMに比べてどうしてもタイミング制御が複雑となってしまうほか、リフレッシュ制御のための回路などが余分に必要となってしまう。

また、DRAMは外部からのアクセスが無いときにもメモリセルのリフレッシュが必要となることから消費電流が大きくなってしまいうという問題もある。とは言え、DRAMのメモリセルはキャパシタ1個とトランジスタ1個で構成可能であるため、チップサイズを大きくすることなく大容量化を図ることは比較的容易である。したがって、同じ記憶容量の半導体記憶装置を構成するのであればSRAMよりもDRAMの方が安価になる。

ところで、携帯電話などに代表される携帯機器が採用している半導体記憶装置としてはこれまでのところSRAMが主流である。これは、これまでの携帯電話には簡単な機能しか搭載されていなかったためそれほど大容量の半導体記憶装置が必要とされなかったこと、DRAMに比べてタイミング制御などの点で扱いが容易であること、スタンバイ電流が小さく低消費電力であるため連続通話時間・連続待ち受け時間をできる限り伸ばしたい携帯電話などに向いていることなどがその理由である。

しかるに、このところ、非常に豊富な機能を搭載した携帯電話が登場しており、電子メールの送受信機能や、各種のサイトにアクセスして近隣にあるレストランなどのタウン情報を取得するといった機能も実現されている。のみならず、ごく最近の携帯電話ではインターネット上のWEBサーバにアクセスしてホームページの内容を簡略化して表示するような機能も搭載されてきており、将来的には現在のデスクトップ型パーソナルコンピュータと同様にインターネット上のホームページ等へ自由にアクセスできるようになることも想定される。

こうした機能を実現するためには、従来の携帯電話のように単純なテキスト表示を行っているだけでは駄目であって、多様なマルチメディア情報をユーザへ提供するためのグラフィック表示が不可欠となる。それには、公衆網などから受信した大量のデータを携帯電話内の半導体記憶装置上に一時的に蓄えておく必要が生じてくる。つまり、これからの携帯機器に搭載される半導体記憶装置としては

DRAMのように大容量であることが必須条件であると考えられる。しかも、携帯機器は小型かつ軽量であることが絶対条件であるため、半導体記憶装置を大容量化しても機器そのものが大型化・重量化することは避けねばならない。

以上のように、携帯機器に搭載される半導体記憶装置としては扱いの簡便さや消費電力を考えるとSRAMが好ましいが、大容量化の観点からすればDRAMが好ましいことになる。つまり、これからの携帯機器にはSRAMおよびDRAMの長所をそれぞれ取り入れた半導体記憶装置が最適であると言える。この種の半導体記憶装置としては、DRAMに採用されているものと同じメモリセルを使用しながら、外部から見たときにSRAMとほぼ同様の仕様を持った「疑似SRAM」と呼ばれるものが既に考えられてはいる。

疑似SRAMはDRAMのようにアドレスを行アドレス、列アドレスに分けて別々に与える必要がなく、またそのためにRAS、CASのようなタイミング信号も必要としない。疑似SRAMでは汎用のSRAMと同様にアドレスを一度に与えるだけで良く、クロック同期型の半導体記憶装置のクロックに相当するチップイネーブル信号をトリガにしてアドレスを内部に取り込んで読み出し／書き込みを行っている。

もっとも、疑似SRAMが汎用のSRAMと完全な互換性を有しているとは限らず、その多くはメモリセルのリフレッシュを外部から制御するためのリフレッシュ制御用端子を具備しており、リフレッシュを疑似SRAMの外部で制御してやらねばならない。このように、疑似SRAMの多くはSRAMと比べたときに扱いが容易でなく、リフレッシュ制御のための余分な回路が必要となってくるといった欠点がある。こうしたことから、以下に紹介するように、疑似SRAMの外部でリフレッシュを制御しなくて済むようにして、汎用SRAMと全く同じ仕様で動作させるようにした疑似SRAMも考えられてきている。しかしこの種の疑似SRAMにあっても以下に述べるように様々な欠点がある。

まず、第1の関連技術として特開平4-243087号公報に開示された半導体記憶装置が挙げられる。この関連技術では疑似SRAM自身がリフレッシュタイマを持たず、疑似SRAMの外部にタイマを設けるようにしている。そして、リフレッシュ時間が経過した後に最初のアクセス要求があった時点で、疑似SR

AMの外部にてOE（出力イネーブル）信号を作り出し、このOE信号に従ってリフレッシュを行ってから当該アクセス要求に対応する読み出し又は書き込みを行うようにしている。

しかしながら、この第1の関連技術のような構成では消費電力が大きくなり過ぎてしまって、バッテリー駆動による長時間使用を前提とした携帯電話などの低消費電力製品には適用することができないという問題がある。というのも、第1の関連技術では、チップイネーブル信号が有効になった時点で疑似SRAMが外部から入力されたアドレスをラッチして動作するようになっている。つまり、第1の関連技術では疑似SRAMへアクセスする度にチップイネーブル信号を変化させる必要があるため、実装基板上に配線されたチップイネーブル信号のバス線の充放電電流によって消費電力が大きくなってしまう。

また、第1の関連技術では、疑似SRAM外部から読み出し要求があった場合には、まず初めにリフレッシュを実施してから当該読み出し要求に対応したメモリセルの読み出しを行っている。したがって、読み出し動作の開始タイミングがリフレッシュ動作に必要となる時間だけ遅れてしまうという問題がある。つまり、アドレスが確定した時点から読み出しデータが出力される時点までを意味するアドレスアクセス時間（以下「 T_{AA} 」と言う）が大きくなってしまうことになる。この問題は書き込みの場合も同様に生じうる。すなわち、たとえ書き込みイネーブル信号や書き込みデータがメモリサイクル内の早いタイミングで与えられていたとしても、リフレッシュが完了した後でなければ書き込み動作を開始させることができない点が問題である。

次に、第2の関連技術として特許第2529680号公報（特開昭63-206994号公報）に開示されている半導体記憶装置が挙げられる。この関連技術では、外部からリフレッシュを制御するようにした旧来の疑似SRAMと同様の構成が開示されているほか、この疑似SRAMの構成を流用しながらさらに改良を加えた構成が示されている。

前者の構成では、出力イネーブル信号が有効になったことを受けてアドレス変化検出信号を生成し、疑似SRAM内部で生成されたリフレッシュアドレスに従ってリフレッシュを行ったのち、出力イネーブル信号が無効になった時点で再び

アドレス変化検出信号を生成して、疑似SRAM外部から与えられた外部アドレスに対してもリフレッシュを行っている。しかしながら、出力イネーブル信号がリフレッシュ間隔毎に定期的に発生するのであれば外部アドレスを対象とした後者のリフレッシュは本来必要ではなく、外部アドレスに対してリフレッシュを行っている分だけ無駄に電力を消費してしまっている。

一方、後者の構成では、外部アドレスの変化を捉えてアドレス変化検出信号を発生させ、このアドレス変化検出信号を契機として疑似SRAM内部で生成されたリフレッシュアドレスに対してリフレッシュを行い、それから一定時間が経過した後に再びアドレス変化検出信号を発生させて外部アドレスを対象とした通常の読み出し・書き込みを行うようにしている。しかし、リフレッシュを行ったのちに読み出し又は書き込みを行うようにすると、第1の関連技術について指摘したのと同様の問題が生じてしまう。

また、こうした構成では外部アドレスにスキューが入ったときに問題を生じることになる。すなわち、外部アドレスにスキューがあるとそれによって複数のアドレス変化検出信号が生成される。このため、最初のアドレス変化検出信号でリフレッシュが起動されるのは良いとしても、2番目以降のアドレス変化検出信号によって本来はリフレッシュの完了後に行われるべき外部アドレスに対する通常のアクセスが起動されてしまう。つまりこの場合、リフレッシュ中であるにも拘わらず外部アドレスに対するアクセス要求が為されてしまい、以下に述べるような問題が発生してしまう。

DRAMのメモリセルは一般に破壊読み出しであるため、あるワード線を活性化させてセンスアンプで読み出しを行ったときには、このワード線に接続されている全てのメモリセルに元々記憶されていたデータを当該センスアンプからこれらメモリセルへ書き戻してやる必要がある。ところが、上述したようにリフレッシュ中に通常の読み出し又は書き込みが起動された場合、複数のワード線が同時に活性化されてしまう。そうすると、これらワード線に接続されたメモリセルのデータが同一のビット線上に同時に読み出されることになり、リフレッシュすべきメモリセルのデータに対応して生じたビット線上の電位が正しいものでなくなる。したがって、このビット線上の電位を増幅して当該メモリセルへ書き戻し(リ

フレッシュ)を行ってしまうとメモリセルのデータが破壊されてしまう。

次に、第3の関連技術として特開昭61-5495号公報および特開昭62-188096号公報に開示された半導体記憶装置が挙げられる。前者の半導体記憶装置はリフレッシュ間隔を計時するためのリフレッシュタイマを内部に有しており、リフレッシュ間隔に相当する時間が経過した時点でリフレッシュスタート要求を発生させ、読み出し動作におけるビット線対の増幅が完了した後に、リフレッシュアドレスに対応するワード線を活性化させてリフレッシュを行っている。こうすることで、半導体記憶装置の外部からメモリセルのリフレッシュを制御しなくとも済むようにしている。

また、後者の半導体記憶装置は前者の半導体記憶装置を実現するための動作タイミング制御回路についてその詳細構成を具体的に開示したものであって、基本的には前者の半導体記憶装置と同様のものである。なお、第3の関連技術では第1の関連技術や第2の関連技術と同じく、リフレッシュを行ってから読み出し又は書き込みを行うことも開示している。このほか、第3の関連技術に類する第4の関連技術として、特開平6-36557号公報に開示された半導体記憶装置が挙げられる。この半導体記憶装置も内部にリフレッシュ用のタイマを備えており、所定のリフレッシュ時間が経過した時点でリフレッシュスタート要求を発生させて、読み出しが完了した後にリフレッシュを行うようにしている。

しかし、第3の関連技術に開示されているように、リフレッシュを行ってから読み出し又は書き込みを行うようにすると先に指摘したような問題が生じる。もっとも、この第3の関連技術や第4の関連技術では、読み出し又は書き込みを行ってからリフレッシュを行うことも開示している。こうした構成にすれば第1の関連技術や第2の関連技術のようにアドレスアクセス時間 T_{AA} が大きくなるといった問題が生じることはない。しかしながら、第3の関連技術や第4の関連技術では書き込みタイミングを決定する書き込みイネーブル信号が如何なるタイミングで与えられるのかが全く考慮されておらず、次のような問題を生じる可能性がある。

すなわち、疑似SRAMを汎用SRAMと同じ仕様で動作させようとした場合、書き込みイネーブル信号や書き込みデータはアドレスの変化に対して非同期に与

えられることになる。このため、書き込みアドレスが確定していても書き込みイネーブル信号及び書き込みデータがともに確定するまでは、実際にメモリセルへの書き込み動作を開始させることはできない。つまり、書き込みイネーブル信号と書き込みデータが確定するまでは何の動作も行われないう空き時間となってしまう、これらが確定して初めて書き込みおよびリフレッシュが順次行われることになる。このため、第1の関連技術や第2の関連技術のようにリフレッシュしてから書き込みを行う構成と比べた場合、空き時間の分だけメモリサイクルが長くなってしまうという欠点がある。

ここで、第1の関連技術～第4の関連技術のような疑似SRAMでは一般に次のようにして書き込み動作を行っている。すなわち、書き込み期間中はワード線を活性化してメモリセルの選択を継続しつつ、書き込みイネーブル信号が非同期的に有効とされた時点からメモリセルへの書き込み動作を開始させ、書き込みデータが確定したタイミングから所定時間（以下、時間 T_{DW} とする）が経過するまでの間にこの書き込みデータを実際にメモリセルへ書き込んでいる。その後、書き込みイネーブル信号を無効とし、それからさらに所定時間（以下、リカバリ時間 T_{WR} とする）が経過するまでの間に後続のアクセスのためにビット線のプリチャージを実施するようにしている。

汎用SRAMでは上記のようなリカバリ時間 T_{WR} は実際には不要であるが、疑似SRAMではDRAMメモリセルを採用している関係上、DRAMと同様にビット線をプリチャージする必要があるためリカバリ時間 T_{WR} をゼロにはできない。このように、疑似SRAMではリカバリ時間 T_{WR} を確保しておかねばならず、汎用SRAMと比べた場合に次のアドレスに対する動作の開始タイミングが遅いという欠点がある。したがって、上述した空き時間やリカバリ時間 T_{WR} の短縮が望まれているところであるが、第1の関連技術～第4の関連技術のような構成としていたのではその実現が困難である。

以上のほかにも既存の疑似SRAMには次のような問題がある。すなわち、汎用SRAMなどでは内部の回路に対する電源供給を停止して消費電力を極めて小さくするスタンバイモードが設けられている場合が多い。ところが、疑似SRAMはメモリセルそのものがDRAMと同じであることからメモリセルに記憶され

ているデータを保持するためには常にリフレッシュを必要とする。このため、SRAMと同様に動作するとは言いながら、従来の疑似SRAMでは汎用SRAMに採用されているようなスタンバイモードが特に設けられていない。

しかしながら、SRAMと同様の仕様で動作させる以上は、使い勝手の面からしても汎用SRAMのスタンバイモードと同等の低消費電力モードを用意しておくことが望ましい。また、今後は疑似SRAMが様々な用途に適用されることが予想されるため、既存のSRAMなどには無い疑似SRAM独自のスタンバイモードを設けておくことも極めて有用であると考えられる。

発明の開示

本発明は上記の点に鑑みてなされたものであり、その目的は、リフレッシュによって通常の読み出し・書き込みアクセスが遅くなるといった影響がなく、アドレスにスキューが存在するような場合にもアクセス遅延が生じたりメモリセルが破壊されたりといった不具合を生じることがなく、書き込み時間の削減によってメモリサイクル全体を短縮することが可能であって、汎用SRAM仕様で動作し大容量化してもチップサイズが小さく低消費電力であってなお且つ安価な半導体記憶装置を提供することにある。また、本発明の目的は汎用SRAMで採用されているのと同様のスタンバイモードや既存の半導体記憶装置には見られない独特の低消費電力モードを持った半導体記憶装置を提供することにある。

本発明の第1の態様による半導体記憶装置は、リフレッシュを必要とするメモリセルで構成されたメモリセルアレイと、アクセスアドレスに対する読み出し又は書き込みを前記メモリセルアレイへ行った後に、前記メモリセルアレイのリフレッシュを行うアクセス回路と、前記アクセスアドレスに対して非同期的に与えられる書き込み要求および書き込みデータが入力されるメモリサイクルよりも後の時点において、該メモリサイクルで与えられた前記アクセスアドレス及び前記書き込みデータを用いた書き込みをレイトライトで前記アクセス回路に行わせる制御回路とを具備している。すなわち、この半導体記憶装置では、書き込みにあたって、書き込み要求が与えられたメモリサイクルよりも後の時点で書き込みが行われるレイトライトを採用している。このため、レイトライトを行う時点でア

クセスアドレス及び書き込みデータが何れも確定しており、これらを用いてすぐにメモリセルアレイへの書き込みを開始できる。したがって、関連技術のように書き込みデータが確定していないためにメモリサイクルに空き時間が生じることとはなくなり、メモリサイクルを短縮することができる。また、書き込み及びリフレッシュの動作とアクセスアドレス及び書き込みデータの取り込み動作とを並行して行うことが可能である。したがって、関連技術のようにメモリセルアレイへの書き込み後にリカバリ時間を確保しておく必要がなくなり、メモリサイクルを短縮できる。

上記第1の態様による半導体記憶装置において、前記制御回路は、先行する前記書き込み要求の次の書き込み要求が与えられたメモリサイクルにおいて、該先行する書き込み要求に対応した書き込みをレイトライトで行わせるようにしても良い。また、前記制御回路は、チップが非選択状態又は非活性化状態にあることを検出し、該非選択状態又は該非活性化状態において前記レイトライトを行わせるようにしても良い。このようにすることで、レイトライトを行っている最中に読み出し要求や新たな書き込み要求が与えられことがなくなる。それゆえ、レイトライトを行っている最中に読み出し要求や新たな書き込み要求が為され、レイトライトの完了までこれら要求に対応した動作の開始が遅れてしまうといった不具合を生じない。

本発明の第2の態様による半導体記憶装置は、上記第1の態様による半導体記憶装置において、チップが非選択状態から選択状態に移行したか、又は、前記アクセスアドレスが変化したことを検出するアドレス変化検出回路を備え、前記制御回路は、該検出の時点を基準として、前記選択・非選択状態を制御するチップ選択信号又は前記アクセスアドレスの少なくとも一方に含まれるスキューの最大値以上に設定したスキュー期間が経過した後に、前記読み出し又は前記書き込みを開始させるようにしたものである。

また、本発明の第3の態様による半導体記憶装置は、リフレッシュを必要とするメモリセルで構成されたメモリセルアレイと、アクセスアドレスに対する読み出し、又は、前記アクセスアドレスに対して非同期的に与えられる書き込み要求及び書き込みデータをもとにした前記アクセスアドレスへの書き込みを前記メモ

リセルアレイへ行った後に、前記メモリセルアレイのリフレッシュを行うアクセス回路と、チップが非選択状態から選択状態に移行したか、又は、前記アクセスアドレスが変化したことを検出するアドレス変化検出回路と、該検出の時点を基準として、前記選択・非選択状態を制御するチップ選択信号又は前記アクセスアドレスの少なくとも一方に含まれるスキューの最大値以上に設定したスキュー期間が経過した後に、前記読み出し又は前記書き込みを開始させる制御回路とを具備している。

上記第2又は第3の態様による半導体記憶装置により、チップセレクト信号又はアクセスアドレスが変化した時点よりスキュー期間が経過した後に読み出し又は書き込みを開始できる。したがって、アクセスアドレスが確定した時点ですぐに読み出し又は書き込みのための動作を開始させることができ、読み出し又は書き込みのアクセスを高速化することができる。

上記第2又は第3の態様による半導体記憶装置において、前記制御回路は、前記書き込み要求が入力されるか否かが確定している時点以降に前記スキュー期間の終了タイミングを設定するようにして、書き込み要求が与えられるか否かをスキュー期間内で確定させるようにしても良い。これにより、関連技術のように、書き込み動作の開始が遅れてダミーの読み出し動作が開始されたことに起因して、ダミーの読み出しが書き込み動作で中断されてしまってメモリセルが破壊されたり、ダミーの読み出しの完了まで書き込み動作の開始が遅れてメモリサイクルが長くなったりといった不具合が生じなくなる。

本発明の第4の態様による半導体記憶装置は、リフレッシュを必要とするメモリセルで構成されたメモリセルアレイと、同一のメモリサイクルにおいて、アクセスアドレスに対する読み出し又は書き込みを前記メモリセルアレイへ行った後に、前記メモリセルアレイのリフレッシュを行うアクセス回路と、チップが非選択状態から選択状態に移行したか、又は、前記アクセスアドレスが変化したことを検出するアドレス変化検出回路と、該検出の時点を基準として、前記選択・非選択状態を制御するチップ選択信号又は前記アクセスアドレスの少なくとも一方に含まれるスキューの最大値以上の長さを有するスキュー期間の終了タイミングを前記アクセスアドレスに対して非同期的に与えられる書き込み要求及び書き込

みデータが確定している時点以降に設定する制御回路とを具備している。このように、書き込みを行うにあたって書き込み要求及び書き込みデータの双方をスキュー期間内で確定させることで、書き込み要求があった同一のメモリサイクル内で書き込み又は読み出しおよびリフレッシュが行われる。したがって、第1の態様による半導体記憶装置のようにレイトライトを行う必要がなくなって、レイトライト制御に必要となる構成を設けない分だけ回路構成を小規模かつ簡単化することができる。

そして、上記第2ないし第4の態様による半導体記憶装置では、アクセスアドレスが変化してからスキュー期間の経過後にメモリセルへアクセスするようにしている。このため、既存の疑似SRAMのように、アドレスの取り込みの度にチップイネーブル信号を変化させるなどの必要がなくなるためそれだけ消費電力を削減することができる。

上記第2ないし第4の態様による半導体記憶装置において、前記制御回路は、読み出し要求又は書き込み要求があった現メモリサイクルよりも前のメモリサイクルで開始された書き込み、読み出し又はリフレッシュが前記現メモリサイクルにおけるスキュー期間の終了タイミングまでに完了していない場合、前記書き込み、読み出し又はリフレッシュが完了するまで前記現メモリサイクルにおける書き込み又は読み出しの開始を遅らせるようにしても良い。つまり、先行するメモリサイクルで開始された書き込み、読み出し又はリフレッシュが現メモリサイクルのスキュー期間終了までに完了していない場合、これら動作が完了するまで現メモリサイクルの書き込み又は読み出しの開始を遅らせても良い。これにより、書き込み又は読み出しとこれらに続くリフレッシュが1メモリサイクルで完了しなくとも、書き込み、読み出し、リフレッシュが競合してしまうことはない。したがって、サイクルタイムを短縮して半導体記憶装置の高速化を図ることが可能となる。

上記第1ないし第4の態様による半導体記憶装置において、前記アクセス回路は前記メモリセルアレイ上の複数のアドレスに対して同時に読み出し又はレイトライトを行い、前記制御回路は、前記読み出しによって得られた複数の読み出しデータを順次外部へ出力する動作、又は、次のレイトライトのために外部から入

力される複数の書き込みデータを順次取り込む動作を前記リフレッシュと並行して行わせるようにしても良い。これにより、半導体記憶装置外部から見たときにリフレッシュ期間が見えなくなるため、サイクルタイムを短縮することが可能となる。この場合、前記制御回路は、前記アクセスアドレスのうちの上位所定ビットの変化を検出し、前記読み出し又は前記レイトライトを行う際に、前記アクセスアドレスのうち前記上位所定ビットが同一である前記複数のアドレスに対して、前記アクセスアドレスのうち前記上位所定ビット以外のビットからなる下位アドレスを変化させて、前記複数の読み出しデータを連続的に出力し又は前記複数の書き込みデータを連続的に取り込むようにしても良い。これにより、汎用のDRAMなどで採用されているページモードやバーストモードと同様の機能を実現することが可能となる。またこの場合、前記制御回路は、外部から与えられる前記下位アドレスに従って、前記複数の読み出しデータを連続的に出力し、または、前記複数の書き込みデータを連続的に取り込むようにしても良い。これにより、ページモードのように下位アドレスをランダムに変化させながらデータを入出力することができる。さらにこの場合、前記制御回路は、外部から与えられる前記下位アドレスの初期値をもとに予め決められた順番に従って前記下位アドレスを変化させながら、前記複数の読み出しデータを連続的に出力し、又は、前記複数の書き込みデータを連続的に取り込むようにしても良い。これにより、バースト動作の開始アドレスだけを半導体記憶装置へ与えれば良くなり、半導体記憶装置外部に設けるコントローラ等の構成を簡略化することができる。

上記第1ないし第4の態様による半導体記憶装置において、前記リフレッシュの制御を行う前記アクセス回路及び前記制御回路内の回路と、前記リフレッシュの対象となるメモリセルを示すリフレッシュアドレスを生成し、前記リフレッシュを行う度に該リフレッシュアドレスを更新するリフレッシュアドレス生成回路とを有するリフレッシュ制御回路と、装置内の各部に供給する電圧を発生させる電圧発生回路と、前記リフレッシュ制御回路及び前記電圧発生回路の双方に電源を供給する第1のモード、前記リフレッシュ制御回路に対する電源の供給を停止するとともに前記電圧発生回路に電源を供給する第2のモード、前記リフレッシュ制御回路及び前記電圧発生回路の双方に対する電源の供給を停止する第3のモ

ードの何れかに切り換え、該切り換えられたモードに応じて前記リフレッシュ制御回路及び前記電圧発生回路へ電源供給を行うか否かをそれぞれ制御するモード切り換え回路とをさらに備えるようにしても良い。これにより、適用される機器やその使用環境などに応じて、スタンバイ状態におけるデータ保持の要否、アクティブ状態への復帰時間、電流消費量などを外部からきめ細かく制御することができる。すなわち、第1のモードではリフレッシュに必要な回路へ電源が供給されているためメモリセルのデータを保持できるとともに、スタンバイ状態からアクティブ状態へ移行させるまでの時間を3種類のモードの中で最も短くすることができる。また第2のモードでは、リフレッシュ制御回路に供給すべき分だけ第1のモードよりも消費電流を低減させることができるほか、スタンバイ状態からアクティブ状態に移行した場合にはメモリセルのデータを初期化するだけで第1のモードと同様に直ちに半導体記憶装置を使用することができる。さらに第3のモードでは3種類のモードの中では消費電流を最も小さくすることができる。この場合、前記モード切り換え回路は、所定のアドレスに対してモード毎に予め決められたデータの書き込みが行われたことを検出してモードの切り換えを行うようにしても良い。これにより、スタンバイモードの切り換えのために半導体記憶装置外部から専用の信号を与える必要がなく、また、こうした専用の信号のためのピンを半導体記憶装置に設ける必要がない。

本発明の第5の態様による半導体記憶装置は、リフレッシュを必要とするメモリセルで構成されたメモリセルアレイと、アクセスアドレスに対する書き込みサイクルに付随して前記メモリセルアレイのリフレッシュを行うと共に、前記書き込みサイクルに付随するリフレッシュが行われてから所定の時間が経過した後に前記メモリセルアレイのリフレッシュを自発的に行うアクセス回路と、前記アクセスアドレスに対して非同期的に与えられる書き込み要求および書き込みデータが入力されるメモリサイクルよりも後の時点において、該メモリサイクルで与えられた前記アクセスアドレス及び前記書き込みデータを用いた書き込みをレイトライトで前記アクセス回路に行わせる制御回路とを具備している。

そして、本発明の各態様による半導体記憶装置では、読み出し又は書き込みを行った後にリフレッシュを行っているため、リフレッシュを行ってから読み出し

又は書き込みを行う場合に比べてアクセスの高速化を図ることができる。このほか、本発明では、汎用のDRAMのようにRAS/CASのタイミング信号に従ってアドレスを2回に分けて取り込む必要がなく、アクセスアドレスを一度に与えれば良いため、半導体記憶装置に入力すべき信号波形を生成するための回路構成を簡単化することができる。また、半導体記憶装置外部からのアクセスに付随して1メモリサイクル中でリフレッシュが行われるため、全てのメモリセルをリフレッシュするのに必要なだけのアクセス要求が存在すれば、半導体記憶装置外部からリフレッシュ制御を行うことなくメモリセルのデータを保持し続けることができ、汎用SRAMと同様に取り扱いが容易である。また、メモリセルとしてDRAMのような1トランジスタ1キャパシタのものをを用いれば、汎用SRAMがメモリセル当たり6トランジスタを要するのと比較してセル面積を大幅に減少させることができるため、大容量化を図りつつチップサイズを縮小化してコストダウンを図ることができる。

図面の簡単な説明

図1は、本発明の第1実施形態による半導体記憶装置の構成を示すブロック図である。

図2は、同実施形態において、書き込み（レイトライト）又は読み出しとこれらの各々に続くリフレッシュがそれぞれ1メモリサイクルで実施される場合の動作を示したタイミングチャートである。

図3は、同実施形態において、リフレッシュが行われず、書き込み（レイトライト）又は読み出しだけが実施される場合の動作を示したタイミングチャートである。

図4は、同実施形態において、リフレッシュタイマによるセルフリフレッシュが起動された場合の動作を示したタイミングチャートである。

図5は、同実施形態において、リフレッシュタイマによるセルフリフレッシュが起動される直前に外部からの読み出し要求による読み出しとこれに付随するリフレッシュが行われたときの動作を示したタイミングチャートである。

図6は、同実施形態において、ライトパルス時間 T_{WP} の上限値が不要なことを

説明するためのタイミングチャートである。

図 7 は、同実施形態において、サイクルタイム T_{cyc} の上限値が不要なことを説明するためのタイミングチャートである。

図 8 は、本発明の第 2 実施形態による半導体記憶装置の構成を示すブロック図である。

図 9 は、同実施形態による半導体記憶装置の動作を示すタイミングチャートである。

図 10 は、本発明の第 3 実施形態による半導体記憶装置の構成を示すブロック図である。

図 11 は、同実施形態において、書き込み（ノーマルライト）又は読み出しとこれらの各々に続くリフレッシュがそれぞれ 1 メモリサイクルで実施される場合の動作を示したタイミングチャートである。

図 12 は、本発明の第 4 実施形態による半導体記憶装置の構成を示すブロック図である。

図 13 は、同実施形態において、ページ読み出しとこれに続くリフレッシュが実施される場合の動作を示したタイミングチャートである。

図 14 は、同実施形態において、ページ書き込みとこれに続くリフレッシュが実施される場合の動作を示したタイミングチャートである。

図 15 は、本発明の第 4 実施形態による半導体記憶装置の他の構成例を示すブロック図であって、ページ読み出しを行う場合に、アドレス PageAddress が最初に変化したタイミングで読み出しデータを取り込む場合のものである。

図 16 は、本発明の第 5 実施形態による半導体記憶装置の構成を示すブロック図である。

図 17 は、同実施形態において、バースト読み出しとこれに続くリフレッシュが実施される場合の動作を示したタイミングチャートである。

図 18 は、同実施形態において、バースト書き込みとこれに続くリフレッシュが実施される場合の動作を示したタイミングチャートである。

図 19 は、本発明の第 6 実施形態による半導体記憶装置の構成を示すブロック図である。

図 2 0 は、同実施形態によるスタンバイモード制御回路の詳細構成を示した回路図である。

図 2 1 は、同実施形態によるリフレッシュ制御回路の詳細構成を示した回路図である。

図 2 2 は、同実施形態によるブースト電源の詳細構成を示した回路図である。

図 2 3 は、同実施形態による基板電圧発生回路の詳細構成を示した回路図である。

図 2 4 は、同実施形態によるリファレンス電圧発生回路の詳細構成を示した回路図である。

発明を実施するための最良の形態

以下、図面を参照して本発明の実施形態について説明する。

〔第 1 実施形態〕

〈概要〉

まず初めに本実施形態の概要を説明しておくことにする。上述した第 1 の関連技術～第 3 の関連技術のように、リフレッシュを行ってから外部のアクセス要求に対応した読み出し・書き込みを行うとアドレスアクセス時間 T_{AA} が大きくなってしまう。こうしたことから本実施形態では、外部からアクセス要求があった場合、このアクセス要求に対応した読み出し又は書き込みを行ったのちにリフレッシュを行うようにしている。ただ、それだけでは第 3 の関連技術や第 4 の関連技術について指摘したような不都合が生じてしまう。そこで本実施形態ではメモリセルへの書き込みのためにレイトライト (Late Write) を行って、書き込み時間およびメモリサイクルの短縮化を図っている。

すなわち、外部から書き込み要求が与えられたメモリサイクルでは、与えられた書き込みアドレスおよび書き込みデータを半導体記憶装置内部に取り込むだけの動作にとどめ、これら書き込みアドレスおよび書き込みデータは次に書き込み要求があるときまで内部に保持しておく。メモリセルへの実際の書き込み動作は当該メモリサイクルでは行わずに、次に書き込み要求が入力されたメモリサイクルで行うようにする。つまり、メモリセルに対する書き込み動作を次の書き込み

要求があるメモリサイクルまで遅延させるのがレイトライトである。

レイトライトでは直前の書き込み要求時に与えられた書き込みアドレス及び書き込みデータを取り込んであるため、次の書き込み要求が為されてメモリセルに実際に書き込む時点では書き込みアドレスおよび書き込みデータの双方の値が確定している。このため、書き込みイネーブル信号を有効化しさえすれば、直前の書き込み要求に対応したメモリセルへの書き込み動作を開始させることができ、上述した関連技術のように書き込みイネーブル信号や書き込みデータが確定しないために、メモリサイクルに空き時間が生じてしまうことはなくなる。

言い換えると、外部から書き込み要求があった場合には、当該書き込み要求に関する書き込みアドレス及び書き込みデータの取り込み動作と、直前の書き込み要求に対応したメモリセルへの書き込み動作およびこれに続くリフレッシュ動作とが並行して行われる。本実施形態では、関連技術のように書き込みデータの取り込み、メモリセルへの書き込み、ビット線のプリチャージを逐次的に行わずに済み、並行動作させている時間分だけメモリサイクルを短縮することが可能である。また、書き込み要求に付随して与えられる書き込みデータは次の書き込み要求時に使用されるため、リフレッシュ動作が終わるまでに書き込みデータが確定して内部に取り込まれるようになっていれば良い。したがって、関連技術のように書き込みデータがいつ確定するかによって書き込み時間が左右されることはなく、書き込み時間を一定とすることができる。

ここで、本実施形態では半導体記憶装置外部から見たときの仕様として、書き込み要求が行われる場合には、アドレススキュー期間内に書き込みイネーブル信号を有効化させるという条件を課している。ここで言う「アドレススキュー期間」とは、アクセスアドレス（チップセレクト信号が無効状態から有効状態になった場合も同じ扱いであって、以下の説明において同様）の何れかのビットが最初に変化した時点を基準として、この時点からアドレスの持つスキューに相当する時間が経過した時点までを指している。換言すると、アドレススキュー期間は、アクセスアドレスが変化し始めてから全てのアドレスにおいてその値が確定するまでの期間に等しい。

通常、半導体記憶装置にアクセスするCPU（中央処理装置）などは、システ

ムバスに対してアクセスアドレスの各ビットをほぼ同タイミングで送出するように設計されている。しかし実際には、CPUの出力ピンにおけるアクセスアドレスの出力タイミングはビット毎に微妙に異なっている。これに加えて、CPUから半導体記憶装置に至るシステムバス上の配線パターンの長さや引き回し方はアドレスのビット毎に異なっており、これらを全く均一にすることは事実上不可能である。こうしたことから、アドレスの各ビットが半導体記憶装置の入力ピンに到達する時刻はビット毎にばらつくようになってこれがスキューとなる。

本実施形態において上記のような条件を課しているのは次のような理由によるものである。すなわち、汎用SRAMの仕様では、書き込みイネーブル信号や書き込みデータがアドレス変化に対して非同期的に与えられ、書き込みイネーブル信号が有効になった時点で初めて外部からのアクセスが書き込み要求であることが判明する。しかし、書き込みイネーブル信号や書き込みデータがいつ確定するかは予測できず、一方で、読み出しデータをできる限り早く得るには、アドレススキュー期間が経過してアドレスが確定した時点からすぐに読み出し動作を開始させるのが望ましいと言える。したがって、アドレス変化があってから書き込みイネーブル信号や書き込みデータが有効になるまでの間は、外部からのアクセスが読み出し要求であることを想定した動作を行う必要がある。

ところが、外部からのアクセス要求が実際には読み出しではなく書き込みであったとしても、本実施形態のようにDRAMメモリセルを用いた構成では、既に始まっている読み出し動作（この場合はダミーの読み出しとなる）が完了するまでこれを中断することはできない。というのも、上述したようにDRAMメモリセルは破壊読み出しによってデータをセンスするため、再書き込みを行うことなく読み出し動作を中断して書き込み動作に移行させてしまうと、読み出しを行っている途中のワード線に接続されたメモリセルのデータが全て破壊されてしまうからである。

ここで、読み出しを行っていた全てのメモリセルに対して書き込みを行うわけではないので、読み出し動作を中断しても良いことにはならない。のみならず、本実施形態のようにレイトライトを行う場合には、ダミーの読み出しのアドレス（すなわち、当該メモリサイクルで与えられた書き込みアドレス）とレイトライ

トのアドレス（すなわち、直前の書き込み要求のメモリサイクルで与えられた書き込みアドレス）は一致していないのが普通であって、この点からしても読み出し動作を中断することはできない。

以上のように、アドレススキュー期間内に書き込みイネーブル信号を入力するようにしないと、ダミーの読み出し動作が完了するまで書き込み動作の開始が遅れてしまうことになる。確かに、ダミーの読み出しとそれに続く書き込みおよびリフレッシュが、予め決めておいた1メモリサイクルの期間内に収まるようであれば、特に問題はないとも考えうる。しかし、書き込みイネーブル信号が非同期的に有効化される以上、こうした条件が常に満たされるとは限らず、ダミーの読み出しと外部からの書き込み要求が衝突して書き込み及びリフレッシュが遅れてしまう可能性を完全になくすことはできない。

またそれ以上に問題なのは、ダミーの読み出し動作が生じると、1メモリサイクルが「ダミーの読み出し時間+書き込み時間+リフレッシュ時間」に延びてしまうことが挙げられる。以上のように、書き込みイネーブル信号がアドレススキュー期間よりも後のタイミングで有効化されるとメモリサイクルが長くなってしまう。したがって、書き込みイネーブル信号をアドレススキュー期間内に有効化させる仕様とするのが望ましいと言える。

〈構成の説明〉

図1は本実施形態による半導体記憶装置の構成を示すブロック図である。同図において、アドレス Address は半導体記憶装置外部から供給されるアクセスアドレスである。後述するメモリセルアレイが行列状に配列されていることに対応して、アドレス Address は行アドレスおよび列アドレスを含んでいる。アドレスバッファ1はこのアドレス Address をバッファリングして出力する。

ラッチ2は、ラッチ制御信号LCが“L”レベルである間（つまり、ラッチ制御信号LCが立ち下がったときから次に立ち上がるまでの間）はアドレスバッファ1から供給されているアドレスをそのまま内部アドレス LC_ADD として出力する。また、ラッチ2はアドレスバッファ1から供給されているアドレスをラッチ制御信号LCの立ち上がりで取り込んでラッチ制御信号LCが“H”レベルである間これを保持するとともに、保持しているアドレスを内部アドレス LC_ADD

として出力する。

次に、レジスタ回路 3 に供給される制御信号 $LW1$ および後述する制御信号 $LW2$ は何れもレイトライト動作を制御するための信号である。これら制御信号は何れもレイトライトを行う場合に“H”レベルに設定され、そうでない場合には“L”レベルに設定される。レジスタ回路 3 はアドレス Address のビット幅に等しいアクセスアドレスを保持するためのレジスタ（以下「アドレスレジスタ」という）を内蔵している。

そして制御信号 $LW1$ が“L”レベルであれば、レジスタ回路 3 は入力された内部アドレス LC_ADD をそのまま内部アドレス L_ADD として出力する。一方、制御信号 $LW1$ が“H”レベルであれば、レジスタ回路 3 は内部アドレス LC_ADD ではなくアドレスレジスタに保持されているアドレスを内部アドレス L_ADD として出力する。また、レジスタ回路 3 は制御信号 $LW1$ の立ち下がりエッジにおいて、次のレイトライトのために内部アドレス LC_ADD を内部のレジスタに取り込む。さらに、レジスタ回路 3 は入力された内部アドレス LC_ADD とアドレスレジスタが保持するアドレスをビット毎に比較するコンパレータを備えており、コンパレータは両者の全ビットが一致した場合にはヒット信号 HIT に“H”レベルを出力し、何れか 1 ビットでも不一致であれば“L”レベルを出力する。

以下に述べるように、このヒット信号 HIT は半導体記憶装置外部から見たデータコヒーレンシ(Coherency)を保つためのバイパス動作に用いられる。本実施形態で採用しているレイトライトでは、書き込み要求があったメモリサイクルよりも後のメモリサイクルで実際にメモリセルへの書き込みが行われる。つまり、書き込み要求のあったメモリサイクルでは、書き込みアドレス及び書き込みデータを一旦レジスタ回路 3 のアドレスレジスタ及びレジスタ回路 12（後述）のデータレジスタに取り込んでおく。そして、次に書き込みの要求が入力されたメモリサイクルで取り込んでおいたアドレス及びデータをもとにメモリセルアレイ 7（後述）へ書き込みを行っている。

したがって、現実にはメモリセルアレイ 7 へ書き込みが行われるまでの間に、書き込み要求のあったアドレスに対して読み出し要求があった場合、この時点ではデータが未だメモリセルアレイ 7 には書かれておらずレジスタ回路 12 にのみ存

在する。このため、メモリセルアレイ 7 から読み出しを行ってしまうと、書き込み前の古いデータを半導体記憶装置外部へ出力してしまうことになる。そこでこのような場合には、メモリセルアレイ 7 をバイパスしてレジスタ回路 1 2 からデータの出力を行うように構成している。

以上のような状況を検出するために、内部アドレス LC_ADD とレジスタ回路 3 内のアドレスレジスタを照合して、未だメモリセルアレイ 7 に書き込まれていないアドレスに対して外部から読み出し要求が入力されたことを検出するようにしている。なお、レジスタ回路 3 は読み出し・書き込みの区別なくヒット信号 HIT を生成しているが、後述するようにバイパス動作は読み出し要求があった場合にのみ作動するため、特に問題は生じない。

次に、ATD (Address Transition Detector ; アドレス変化検出) 回路 4 はチップセレクト信号 / CS が有効 (“L” レベル) な場合に、内部アドレス LC_ADD が変化しているかどうかを検出する。そして内部アドレス LC_ADD の何れか 1 ビットにでも変化が認められる場合、ATD 回路 4 はこの変化を検出した時点からアドレススキュー期間に相当する時間が経過したのちに、アドレス変化検出信号 ATD に正のワンショットパルスを発生させる。

これに加えて、ATD 回路 4 はチップセレクト信号 / CS が有効化された場合 (“H” レベル → “L” レベルの遷移) にも、チップセレクト信号 / CS が変化してからアドレススキュー期間に相当する時間が経過したのちに、アドレス変化検出信号 ATD に正のワンショットパルスを発生させる。なお、チップセレクト信号 / CS は図 1 に示した半導体記憶装置をアクセスする場合に有効化される選択信号である。また、信号名の先頭に付与した記号 “/” はそれが負論理の信号であることを意味している。

ここで、チップセレクト信号 / CS についてさらに詳述すると、チップセレクト信号 / CS は半導体記憶装置 (チップ) の選択 / 非選択を決定するための信号であって、特に、複数の半導体記憶装置から構成されるシステムにおいて、所望の半導体記憶装置を選択するために用いられる信号である。以下の説明では、チップの選択 / 非選択を決める活性化信号としてチップセレクト信号を用いるが、本発明で使用可能な活性化信号はチップセレクト信号に限られるものではなく、

これと同等の機能を持った信号であればどのような信号であっても良い。このため、チップセレクト信号に代えて例えばチップイネーブル信号を用いることが考えられる。ただし、いわゆるチップイネーブル信号の中には、既存の疑似SRAMにおけるチップイネーブル信号のように、チップの活性化機能に加えてアドレスラッチタイミング制御機能を有するものがある。上述したように、既存の疑似SRAMでは、アドレス取り込みのタイミングを制御するためにチップイネーブル信号をクロック信号のように毎サイクル入力しており、それによって消費電力の増加が問題となる。これに対し、本発明の半導体記憶装置は、内部動作のトリガとなる信号をクロック信号のように毎サイクル入力しなくとも動作可能であることを一つの特徴としている。こうしたことから、本発明においてチップイネーブル信号を活性化信号とする場合には、チップの活性化機能を持ち、なおかつ、アドレスラッチタイミング制御機能を持たない信号を半導体記憶装置へ与えることになる。

なお、ATD回路4内部では、アドレスの各ビットが変化するかあるいはチップセレクト信号／CSが有効となった場合にそれぞれパルスが発生させ、これらパルスを合成することでワンショットパルスを生成している。このため、アドレス Address にスキューがあっても関連技術のように複数個のアドレス変化検出信号が生成されてしまう恐れはない。それゆえ、複数のメモリセルに対して書き込みが行われ、あるいは、複数のメモリセルからの読み出しが同時に行われてしまってもメモリセルのデータが破壊されてしまうといったことはなくなる。

また、スキューが大きい場合にはアドレススキュー期間も長くなって、それだけアドレス変化検出信号ATDにワンショットパルスが発生するのが遅れ、アクセスタイムが大きくなることが懸念される。しかし、汎用SRAMの仕様上、アクセスタイムはアドレス Address が確定した時点を基準とした値になっている。このため、アドレス Address の各ビットのうち最後に変化したビットからのアクセスタイムが保証されていれば良く、アドレススキュー期間経過後にアクセスを開始するようにしても動作遅れとはならない。

また、動作説明の際に後述する通り、アドレス変化検出信号ATDのワンショットパルスが立ち上がった時点からアドレス Address に対する読み出しまたは書

き込みが開始され、その後にワンショットパルスが立ち下がった時点からリフレッシュが開始される。このため、ワンショットパルスのパルス幅は読み出し又は書き込みを完了させるのに必要な時間以上に設定しておく。

さらに、アドレススキュー期間の長さは、アドレス Address の各ビットおよびチップセレクト信号／CS の間に存在するスキューの最大値と一致させるか、あるいは、余裕を見込んでこのスキューの最大値よりも若干大きな値に設定しておくようにすれば良い。ここで、スキューは上述したような理由から生じるため、スキューの最大値は半導体記憶装置が適用されるシステム全体の特性に基づいて予め試算しておくことが可能である。

したがって、アドレススキュー期間を可変に構成するか、あるいは幾つかの値の中からアドレススキュー期間を選択できるように構成することで、半導体記憶装置が適用されるシステムに応じたアドレススキュー期間を設定することが可能である。あるいは、半導体記憶装置の仕様としてアドレススキュー期間を或る固定値に決めておくようにしても良い。この場合には、半導体記憶装置の入力ピンにおけるスキューの最大値が上記固定値に収まるように、半導体記憶装置が搭載されるシステムの設計を行っておく必要がある。

次に、リフレッシュ制御回路 5 はアドレスカウンタ（リフレッシュカウンタ）及びリフレッシュタイマを内蔵している。リフレッシュ制御回路 5 はこれらとアドレス変化検出信号 A T D、書き込みイネーブル信号／W E を利用して半導体記憶装置内部のリフレッシュを制御することによって、リフレッシュアドレス及びリフレッシュタイミングを半導体記憶装置内部で自動的に発生させ、汎用 D R A M におけるセルフリフレッシュと同様のリフレッシュを実現している。ここで、アドレスカウンタは D R A M メモリセルをリフレッシュするためのリフレッシュアドレス R_ADD を順次生成する。なお、リフレッシュアドレス R_ADD はアドレス Address に含まれる行アドレスと同じビット幅を持っている。

また、リフレッシュタイマは半導体記憶装置の外部から最後にアクセス要求があったからの経過時間を計時しており、それが所定のリフレッシュ時間を越えた場合に半導体記憶装置内部でセルフリフレッシュを起動させる。そのために、リフレッシュタイマはアドレス変化検出信号 A T D が有効となる度にリセットされ

て計時を再開するように構成される。

このほか、リフレッシュ制御回路5はリフレッシュタイミングを制御するためのリフレッシュ制御信号REF A、REF Bを生成する。なお、これらリフレッシュ制御信号の機能およびタイミングについては動作説明で明らかにする。

マルチプレクサ6（図中「MUX」）はアドレス変化検出信号ATD及びリフレッシュ制御信号REF Bのレベルに応じて、アドレス変化検出信号ATDが“H”レベルかつリフレッシュ制御信号REF Bが“H”レベルであれば内部アドレスL_ADDに含まれる行アドレスを選択してこれをアドレスM_ADDとして出力する。一方、アドレス変化検出信号ATDが“L”レベルであるかまたはリフレッシュ制御信号REF Bが“L”レベルであればリフレッシュアドレスR_ADDを選択してアドレスM_ADDとして出力する。

次に、メモリセルアレイ7は汎用DRAMと同様のメモリセルアレイであって、行方向、列方向にそれぞれワード線、ビット線（またはビット線対；以下同じ）が走っており、DRAMと同様の1トランジスタ1キャパシタから成るメモリセルがワード線及びビット線の交点の位置に行列状に配置されて構成されている。

ロウデコーダ8はロウイネーブル信号REが“H”レベルのときにアドレスM_ADDをデコードし、このアドレスM_ADDで指定されたワード線を活性化させる。なお、ロウイネーブル信号REが“L”レベルであるとき、ロウデコーダ8は何れのワード線も活性化させない。カラムデコーダ9はカラムイネーブル信号CEが“H”レベルとなっているときに内部アドレスL_ADDに含まれる列アドレスをデコードし、この内部アドレスL_ADDで指定されたビット線を選択するためのカラム選択信号を生成する。なお、カラムイネーブル信号CEが“L”レベルであるとき、カラムデコーダ9はどのビット線に対応するカラム選択信号も生成することはない。

センスアンプ・リセット回路10は図示を省略したセンスアンプ、カラムスイッチおよびプリチャージ回路から構成されている。このうち、カラムスイッチはカラムデコーダ9の出力するカラム選択信号で指定されたセンスアンプとバスWRBの間を接続する。センスアンプはセンスアンプイネーブル信号SEが“H”レベルであるとき、アドレスAddressで特定されるメモリセルの接続されたビッ

ト線電位をセンス・増幅してバスWRBに出力し、あるいは、バスWRBに供給された書き込みデータをビット線経由でメモリセルに書き込む。プリチャージ回路はプリチャージイネーブル信号PEが“H”レベルのときに、ビット線の電位を所定電位（例えば電源電位の1/2）にプリチャージする。

次に、ヒット制御回路11及びレジスタ回路12は上述したレジスタ回路3とともにレイトライト動作を実現している。このうち、ヒット制御回路11はアドレス変化検出信号ATDの立ち上がりでヒット信号HITを取り込み、これをヒットイネーブル信号HEとしてレジスタ回路12に送出する。アドレススキュー期間内ではアドレスAddressの値が確定していないため、ヒット制御回路11はアドレスAddressが確定した時点でヒット信号HITを取り込むようにしている。なお、ヒットイネーブル信号HEは読み出し動作の場合にのみ用いられるが、その制御はレジスタ回路12が行っており、ヒット制御回路11はアクセス要求が書き込み・読み出しであるかを問わずヒットイネーブル信号HEを生成している。

次に、レジスタ回路12はバスWRB上で授受されるデータと同じビット幅のレジスタ（先に触れたように以下「データレジスタ」という）を内蔵している。そしてレジスタ回路12は、制御信号LW2の立ち下がりエッジをトリガとして、バスI/O、I/Oバッファ13（後述）を通じて外部からバスWRBX上に供給される書き込みデータをデータレジスタに取り込む。つまり、書き込み要求があった場合に、当該メモリサイクルで与えられる書き込みデータを一旦データレジスタに取り込んでおき、次の書き込み要求のあったメモリサイクルで取り込んでおいた書き込みデータをメモリセルアレイ7へ書き込むことになる。

また、制御信号LW2が“H”レベルである場合、レジスタ回路12は直前の書き込み要求の際に与えられた書き込みデータをデータレジスタからバスWRB上に出力する。一方、制御信号LW2が“L”レベルである場合、レジスタ回路12はヒットイネーブル信号HEのレベルに応じて異なる動作を行う。すなわち、ヒットイネーブル信号HEがミスヒットを示す“L”レベルであれば、レジスタ回路12はバスWRB上の読み出しデータをそのままバスWRBX上に出力する。これに対し、ヒットイネーブル信号HEがヒットを示す“H”レベルであれば、レジスタ回路12は未だメモリセルアレイ7に書き込まれていない書き込みデー

データをデータレジスタからバスWRBX上に送出する。この場合、センスアンプ・リセット回路10を通じてバスWRB上に読み出されてくるメモリセルアレイ7のデータは使用されない。

I/O（入出力）バッファ13は、制御信号CWOのレベルに応じて同信号が“H”レベルであればバスWRBX上の読み出しデータを出力バッファでバッファリングしてバスI/Oから半導体記憶装置外部に出力する。また、I/Oバッファ13は同信号が“L”レベルであれば、出力バッファをフローティング状態として半導体記憶装置外部からバスI/Oに供給される書き込みデータを入力バッファでバッファリングしてバスWRBX上に送出する。つまり制御信号CWOが“H”レベルであれば読み出し、“L”レベルであれば書き込みである。

次に、R/W（Read/Write）制御回路14はチップセレクト信号/CS、書き込みイネーブル信号/WEおよび出力イネーブル信号OEに基づいて制御信号CWO及び制御信号LW1、LW2を生成する。なお、これら制御信号の切換タイミングは動作説明で明らかにする。ちなみに、本実施形態において半導体記憶装置の内部ではレイトライトが行われるが、半導体記憶装置の外部から見たときの仕様では、書き込みイネーブル信号/WEの立ち下がりエッジでデータの書き込み（取り込み）が開始し、書き込みイネーブル信号/WEの立ち上がりエッジでデータが確定し、書き込み（取り込み）が終了する。

次に、ラッチ制御回路15はアドレス変化検出信号ATD及びセンスアンプイネーブル信号SEに基づいて、アドレスAddressのラッチタイミングを決める上述したラッチ制御信号LCを生成する。すなわち、ラッチ制御信号LCは、アドレス変化検出信号ATDの立ち上がりエッジから、リフレッシュ動作中（すなわち、アドレス変化検出信号ATDが“L”レベルのとき）に生成されるセンスアンプイネーブル信号SEの立ち下がりエッジまでの期間中に“H”レベルとなる。このため、アドレス変化検出信号ATDが立ち上がった後にアドレスAddressが変化しても、ラッチ制御信号LCが立ち下がるまでの間、ラッチ2は内部アドレスLC_ADDの値を保持し続けるようになる。

ロウ制御回路16はリフレッシュ制御信号REFA、リフレッシュ制御信号REFB、アドレス変化検出信号ATD及び書き込みイネーブル信号/WEに基づ

いて、ロウイネーブル信号RE、センスアンブイネーブル信号SE、プリチャージイネーブル信号PEおよび制御信号CCを生成する。また、カラム制御回路17はこの制御信号CCに基づいてカラムイネーブル信号CEを生成する。

さらに詳述すると、読み出し又は書き込み時において、ロウ制御回路16はアドレス変化検出信号ATDのワンショットパルスの立ち上がりトリガとしてロウイネーブル信号REに正のワンショットパルスを発生させる。またロウ制御回路16は、リフレッシュ制御信号REF Aが“H”レベルの場合に、アドレス変化検出信号ATDのワンショットパルスの立ち下がりエッジトリガとして、リフレッシュ動作に必要となる正のワンショットパルスをロウイネーブル信号REに発生させる。さらにロウ制御回路16は、リフレッシュ制御信号REF Bに供給される負のワンショットパルスを反転させて得た正のワンショットパルスをロウイネーブル信号REとして出力する。

また、ロウ制御回路16はロウイネーブル信号REを遅延させてセンスアンブイネーブル信号SEに正のワンショットパルスを生成するとともに、ロウイネーブル信号REに生じたワンショットパルスの立ち下がりトリガとしてプリチャージイネーブル信号PEに正のワンショットパルスを発生させる。なお、これらセンスアンブイネーブル信号SE及びプリチャージイネーブル信号PEは通常の書き込み・読み出しの場合、リフレッシュの場合を問わず生成される。このほか、ロウ制御回路16はロウイネーブル信号REを遅延させて制御信号CCを出力する。

この制御信号CCはリフレッシュの場合には生成されないため、制御信号CCから生成されるカラムイネーブル信号CEも通常の書き込み・読み出しの場合にだけ生成され、リフレッシュの場合には生成されない。次に、カラム制御回路17は制御信号CCをさらに遅延させて、これをカラムイネーブル信号CEとして出力する。なお、ロウイネーブル信号REのワンショットパルスの幅はレイトライト、読み出し、リフレッシュがそれぞれ行われる時間を決定するものであるため、これらの動作のために必要十分なパルス幅が設定される。

なお、リフレッシュ制御信号REF Aは半導体記憶装置外部からのアクセス要求に付随してリフレッシュを行うか否かを制御するための信号である。すなわち、

同信号が“H”レベルであれば、当該アクセス要求により生じるアドレス変化検出信号A T Dの立ち下がりでロウイネーブル信号R Eにワンショットパルスを発生させてリフレッシュを起動する。これに対して同信号が“L”レベルであれば、アドレス変化検出信号A T Dにワンショットパルスが発生していても、ロウイネーブル信号R Eにワンショットパルスを発生させることはない。

ここで、本実施形態では、アドレス変化検出信号A T Dの発生をトリガとするリフレッシュ動作として以下の実現形態を前提に説明を行う。すなわち本実施形態では、読み出し又は書き込みに伴うリフレッシュ動作が連続する場合、これら各メモリサイクルでリフレッシュを連続的に行ってゆくことで、メモリセル全体をリフレッシュする。そして、全てのメモリセルをリフレッシュした時点で、いったんリフレッシュを発生させない状態とする。その後、メモリセルのデータを保持できる限界の状態（セルホールドリミット）に近づいたときにこれを検出し、連続するメモリサイクルで継続的にリフレッシュを行ってゆく状態に再び移行する。

リフレッシュ制御信号R E F Aを立ち下げる要因としては、外部からのアクセス要求に伴うリフレッシュによって1サイクル分のリフレッシュが完了したものの、次のサイクルのリフレッシュを起動するにはまだ時間がある場合、あるいは、セルフリフレッシュを起動させたためにこれが完了するまでは外部からのアクセス要求に伴うリフレッシュを行う必要がなくなった場合である。

ここで、リフレッシュ制御信号R E F Aを生成するには、リフレッシュ制御回路5内部にリフレッシュ制御信号R E F Aを保持するラッチ回路を設けて、リフレッシュタイマの出力信号及びアドレス変化検出信号A T Dによってこのラッチ回路のセット・リセットを制御する構成などが考えられる。具体的には、リフレッシュ動作が必要になる（セルホールドリミットの）少し前のタイミングをリフレッシュタイマで生成し、その出力信号に基づいてリフレッシュ制御回路5の内部でラッチ回路のセット信号を生成してラッチ回路をセットし、リフレッシュ制御信号R E F Aに“H”レベルを出力する。なお、セット信号を生成するタイミングはサイクルタイムの最大値を目安にして決めるようにする。その後、ロウ制御回路16が、アドレス変化検出信号A T D、または、リフレッシュ制御信号R

REF Aに基づいて発生するリフレッシュ制御信号REF Bをトリガとして、ワード線単位でメモリセルのリフレッシュ動作を行ってゆく。そして、全てのメモリセルのリフレッシュ動作が行われたときに、リフレッシュ制御回路5内部でラッチ回路のリセット信号を生成してラッチ回路をリセットし、リフレッシュ制御信号REF Aに“L”レベルを出力する。

なお、ラッチ回路のリセットは、最後のワード線のリフレッシュするリフレッシュサイクルで、リフレッシュ動作の終わる時間に合わせて行えば良い。あるいは、リフレッシュ動作を完了させたときにロウ制御回路16がリフレッシュ動作完了信号を生成するようにし、リフレッシュ制御回路5がこのリフレッシュ動作完了信号を最後のワード線に対するリフレッシュサイクルで受け取ったときにラッチ回路をリセットするようにしても良い。

ただし、後述する図4の場合を考慮して、リフレッシュ制御信号REF Aを立ち上げたときから、この立ち上がりののちに最初に行われるリフレッシュが終了するときまでの間に、アドレス変化検出信号ATDが発生する（図5を参照）か書き込みイネーブル信号／WEが入力されるかしていなければ、この最初のリフレッシュが終了した後にラッチ回路をリセットする。

一方、リフレッシュ制御信号REF Bはセルフリフレッシュのための信号である。リフレッシュ制御信号REF Bに負のワンショットパルスを与えることで、ロウイネーブル信号REへ強制的にワンショットパルスを発生させてリフレッシュを起動することができる。

ここで、リフレッシュ制御信号REF Bを生成するには、リフレッシュ制御信号REF Aを遅延させる遅延回路と負のワンショットパルスを発生させるパルス発生回路とをリフレッシュ制御回路5内部に設けて、パルス発生回路から負のワンショットパルスを発生させるタイミングを遅延回路で遅延させたリフレッシュ制御信号REF Aとアドレス変化検出信号ATDとで制御する構成などが考えられる。

通常、リフレッシュ制御信号REF Bは“H”レベルとなっている。この状態でリフレッシュ制御信号REF Aが立ち上げられて“H”レベルとなった場合に、このリフレッシュ制御信号REF Aの立ち上がりを遅延回路で所定時間遅延さ

せ、この遅延の間にアドレス変化検出信号A T Dが発生しなかったときには、遅延されたりフレッシュ制御信号R E F Aの立ち上がりでパルス発生回路を起動し、リフレッシュ制御信号R E F Bに負のワンショットパルスを出力させる。上記所定時間の遅延は、アドレス変化検出信号A T Dが発生させるトリガが外部から与えられないためにメモリセルのリフレッシュに要求されるリミットの時間になってしまうまでを計測するためのものである。

なお、本発明は上述したリフレッシュ動作の実現形態に限定されるものではなく、例えば、メモリセルをワード線毎に一定周期でリフレッシュするような形態としても良い。この場合、リフレッシュ制御信号R E F Bが発生させる回路構成は上述したものと同じで良いが、リフレッシュ制御信号R E F Aが発生させるための回路構成は例えば次のようになる。

まず、リフレッシュタイマはリフレッシュを起動するためのトリガ信号を一定周期で発生させる。次に、上記の場合と同様にして、リフレッシュ制御回路5内部にラッチ回路を設け、リフレッシュタイマの出力するトリガ信号に基づいて、リフレッシュ動作が必要になる少し前のタイミングで発生させたセット信号によりラッチ回路をセットしてリフレッシュ制御信号R E F Aを“H”レベルにする。なお、この場合も、ラッチ回路をセットするタイミングはサイクルタイムの最大値を目安にして決定する。

その後、アドレス変化検出信号A T Dまたはリフレッシュ制御信号R E F Bを受けたロウ制御回路16がメモリセルに対するリフレッシュ動作を完了させるタイミングに合わせて、リフレッシュ制御回路5は発生させたりセット信号でラッチ回路をリセットし、リフレッシュ制御信号R E F Aを“L”レベルとする。なお、この場合のラッチ回路のリセットは、ラッチ回路をセットしたときから一定時間遅れたタイミングで行えば良い。あるいは、ロウ制御回路16がリフレッシュ動作を完了させたときにリフレッシュ動作完了信号を生成するようにして、リフレッシュ制御回路5がこのリフレッシュ動作完了信号を受け取ったときにラッチ回路をリセットしても良い。

ちなみにこの形態では、アドレス変化検出信号A T Dをトリガとするリフレッシュ動作が終了すると、各メモリサイクルでリフレッシュ制御信号R E F Aが立

ち下がるようになる。

なお、半導体記憶装置を立ち上げてから初めて書き込み要求が与えられた場合には、直前の書き込みが存在しない。したがって、当該書き込み要求のあったメモリサイクルでは、書き込みアドレス及び書き込みデータの取り込みを行うだけであって、メモリセルアレイ7へのレイトライトは行わない。これを実現するためには、ロウ制御回路16の内部にフラグを設けて、チップセレクト信号/CSが有効な状態で書き込みイネーブル信号/WEが一度でも有効化されたかどうかをこのフラグで示すようにする。

そのために、ロウ制御回路16は半導体記憶装置の立ち上げ時にフラグをオフに初期化しておき、最初の書き込み要求が行われた時点でフラグをオンとする。また、ロウ制御回路16は書き込み要求があった場合（書き込みイネーブル信号/WE = “L” レベルかつチップセレクト信号/CS = “L” レベル）には、フラグがオンになっている場合にだけロウイネーブル信号REにワンショットパルスを発生させる。これによって、ロウ制御回路16及びカラム制御回路17は、書き込みに必要となる制御信号CC、センスアンプイネーブル信号SE、カラムイネーブル信号CE、プリチャージイネーブル信号PEを発生させる。

次に、ブースト電源18はメモリセルアレイ7内のワード線に印加される昇圧電位をロウデコード8に供給する電源である。また、基板電圧発生回路19はメモリセルアレイ7の各メモリセルが形成されたウェルまたは半導体基板に印加される基板電圧を発生させる回路である。さらに、リファレンス電圧発生回路20はメモリセルアレイ7、センスアンプ・リセット回路10内のセンスアンプやプリチャージ回路・イコライズ回路が使用するリファレンス電圧（例えば電源電位の $1/2 = 1/2 V_{cc}$ ）を発生させる。このリファレンス電圧の用途は主に次の3種類（①～③）あるが、現在ではダミーセルを設けない③の使い方が主流である。

① メモリセルを構成しているキャパシタの対極に印加される基準電圧（ $1/2 V_{cc}$ ）。

② ダミーセルを設ける場合に、メモリセルからビット線対の一方のビット線上に読み出された電位とダミーセルから他方のビット線上に読み出された電位（1

／ $2V_{cc}$) からメモリセルの保持データが“0”／“1”何れであることをセンスアンプが判定する際の参照電位。

③ ダミーセルを設けない場合に、ビット線対のプリチャージ・イコライズ電圧として使用される基準電圧。この場合、一方のビット線にはメモリセルからの読み出し電圧が現れ、他方のビット線はセンス動作開始直前にプリチャージ電圧($1/2V_{cc}$)となっている。

ここで、リフレッシュ制御回路5、ブースト電源18、基板電圧発生回路19およびリファレンス電圧発生回路20にはパワーダウン制御信号 PowerDown が供給されている。このパワーダウン制御信号 PowerDown は半導体記憶装置をパワーダウン状態（スタンバイ状態）にするときのモードを半導体記憶装置外部から指定するための信号である。リフレッシュ制御回路5、ブースト電源18、基板電圧発生回路19およびリファレンス電圧発生回路20は、後述するように、パワーダウン制御信号 PowerDown に従ってそれぞれ自身に対する電源供給を制御するようにしている。

本実施形態ではメモリセル自体がDRAMと同様のものであるため、SRAMのようにスタンバイ状態で単純に半導体記憶装置内の回路各部への電源供給を止めてしまうことはできない。スタンバイ状態であってもメモリセルのデータを保持するためにはリフレッシュ動作に必要となる回路へ電源を供給し続ける必要がある。つまり、本実施形態の半導体記憶装置はスタンバイ状態に関してはSRAMとの互換性を完全にとることはできない。しかしながら、その分本実施形態では、スタンバイ状態におけるモードを幾つか設けてSRAMとの互換性をできる限りとるとともに、既存の半導体記憶装置には存在しないようなモードも設けている。

すなわち、本実施形態ではリフレッシュ制御回路5、ブースト電源18、基板電圧発生回路19、リファレンス電圧発生回路20のうちの何れを動作させるかに応じて3種類のスタンバイモードを用意してある。本明細書ではこれらのスタンバイモードを便宜上スタンバイモード1～3と呼ぶことにする。スタンバイモード1は4種類の回路全てに電源を供給するモード、スタンバイモード2は4個の回路のうちリフレッシュ制御回路5だけ電源供給を止めてこれ以外の3種類の

回路に電源を供給するモード、スタンバイモード3は4種類の回路全てに対する電源供給を止めるモードである。

なお以上のようなことから、パワーダウン制御信号 PowerDown としては例えば、リフレッシュ制御回路5に電源を供給するための第1の電源供給線と、ブースト電源18、基板電圧発生回路19、リファレンス電圧発生回路20に電源を供給するための第2の電源供給線で構成すれば良い。

次に、各スタンバイモードについてさらに詳述すると、スタンバイモード1は通常のDRAMと同等の電源供給モードであって、3種類あるスタンバイモードの中では最も消費電流が大きい。しかし、この場合にはメモリセルのリフレッシュに必要な全ての回路へ電源が供給されたままになっている。このため、スタンバイ状態に移行する直前におけるメモリセルのデータが保持されているほか、半導体記憶装置をスタンバイ状態からアクティブ状態へ移行させるまでの時間が3種類のスタンバイモードの中では最も短い。なお、スタンバイモード1に設定するには第1の電源供給線及び第2の電源供給線の双方へ電源を供給すれば良い。

一方、スタンバイモード2はリフレッシュに必要とされる回路に対して電源が供給されないため、スタンバイ状態においてメモリセルのデータを保持しておくことはできないが、その分スタンバイモード1に比べて消費電流を低減させることができる。つまりこのモードは、スタンバイ状態でデータを保持しておくという既成概念から発想の転換を図ったものであって、スタンバイ状態からアクティブ状態に移行すれば、メモリセルアレイ全体に対して書き込みを行える状態になる。したがって、スタンバイモード2と次に述べるスタンバイモード3は半導体記憶装置をバッファとして使用する場合などに適したモードである。なお、スタンバイモード2に設定するには、第1の電源供給線に電源を供給しないようにしてリフレッシュ制御回路5への電源供給を停止させるようにする。

他方、スタンバイモード3はブースト電圧、基板電圧、リファレンス電圧を立ち上げる必要があるため、スタンバイ状態からアクティブ状態に移行するまでの時間が3種類あるスタンバイモードの中で最も長くなるが、その分、スタンバイモードにおける消費電流を最も小さくすることができる。なお、スタンバイモード1～3の何れの場合においても、上述した4種類以外の回路については必要な

回路だけに電源を供給すれば良い。

例えば、リフレッシュを行うだけであれば、アドレスバッファ 1, ラッチ 2, レジスタ回路 3 (ただし、アドレスレジスタを除く), A/TD 回路 4, カラムデコーダ 9, ヒット制御回路 11, レジスタ回路 12 (ただし、データレジスタを除く), I/O バッファ 13, R/W 制御回路 14, ラッチ制御回路 15, カラム制御回路 17 等は使われないので電源供給を停止しても構わない。なお、スタンバイモード 3 に設定するには、第 1 の電源供給線及び第 2 の電源供給線の何れにも電源を供給しないようにして、リフレッシュ制御回路 5, ブースト電源 18, 基板電圧発生回路 19, リファレンス電圧発生回路 20 への電源供給をすべて停止させるようにする。

以上のようなスタンバイモードを設けることで、半導体記憶装置が適用される機器やその使用環境などに応じて、スタンバイ状態におけるデータ保持の要否、アクティブ状態への復帰時間、電流消費量などを半導体記憶装置外部からきめ細かく制御できるようになる。なお、パワーダウン制御信号 PowerDown は必須の機能というわけではないことからこれを省略してしまっても良く、そうすることで汎用 S RAM と I/O ピンの互換性を完全に保つことが可能となる。

〈動作の説明〉

次に、図 2 に示すタイミングチャートを参照しながら上記構成による半導体記憶装置の動作を説明する。上述したように、半導体記憶装置の立ち上げ後における最初の書き込みでは、その動作が 2 回目以降の書き込みのときとは異なる例外的なものになる。そこで以下では、少なくとも 1 回目の書き込みが行われていることを前提として、2 回目以降の書き込みの場合の動作を中心に説明する。

すなわち、前提条件として図 2 に示したよりも以前のメモリサイクルにおいて、アドレス "A_x" に対するデータ "Q_x" の書き込み要求があったものとする。これにより、当該メモリサイクルではアドレス "A_x" がレジスタ回路 3 内のアドレスレジスタに取り込まれるとともに、データ "Q_x" がレジスタ回路 12 内のデータレジスタに取り込まれる。なお、アドレス "A_x", データ "Q_x" がそれぞれレジスタ回路 3, 12 に取り込まれるときの動作は、後述するように、アドレス "A_n", データ "Q_n" がそれぞれレジスタ回路 3, 12 に取り込まれる

ときの動作と全く同じである。

そして図2では、アドレス“ A_n ”に対する書き込みおよびアドレス“ A_{n+1} ”からの読み出しを続けて行う場合についてその動作タイミングを示してある。なお、リフレッシュアドレス R_ADD の値は書き込み前において“ R_{1-1} ”になっているものとする。また、図2においてアドレス“ A_{n-1} ”は直前のメモリサイクルで与えられたアドレスである。仮にこの直前のメモリサイクルで書き込み要求が行われたのであればアドレス“ A_n ”＝アドレス“ A_x ”であり、さもなくば直前の書き込み要求とアドレス“ A_n ”に対する書き込み要求との間に少なくとも読み出し要求が1回はあったことになる。

このほかの前提条件として、リフレッシュ制御信号 $REFA$, $REFB$ が何れも“H”レベルになっているとする。つまり、外部からの読み出し・書き込み要求に付随して半導体記憶装置内部でリフレッシュが行われるものとし、また、内部でセルフリフレッシュが起動される状況には至らないものとする。また、チップセレクト信号/ CS は“L”レベルに固定されており、図1に示すチップが選択された状態にあるものとする。

(書き込み動作)

まず時刻 t_1 になると、アドレス $Address$ がそれまでの値“ A_{n-1} ”から“ A_n ”に変化し始める。このとき、後述する説明から明らかなようにラッチ制御信号 LC は“L”レベル、かつ、制御信号 $LW1$ も“L”レベルである。このため、アドレス $Address$ はアドレスバッファ1でバッファリングされ、ラッチ2をスルーで通過して内部アドレス LC_ADD となり、さらに内部アドレス LC_ADD はレジスタ回路3をスルーで通過して内部アドレス L_ADD となる。

そして、 ATD 回路4は内部アドレス LC_ADD の変化からアドレス $Address$ が変化し始めたことを検知するようになる。なお、この時点からアドレススキュー期間（図2に示す時間 T_{skew} に相当）に入るため、汎用 $SRAM$ の場合と同じくこの時点でアドレス $Address$ の値が確定しているとは限らない。このため、時刻 t_1 ではアドレス $Address$ をラッチ2に取り込むことはせず、この後に時間 T_{skew} が経過してアドレス $Address$ の値が“ A_n ”に確定した時点でラッチ2にアドレス $Address$ を保持させるようにしている。

この後、アドレススキュー期間内において書き込みイネーブル信号／WEに負のパルスが例えば時刻 t_2 で入力される。R／W制御回路14は書き込みイネーブル信号／WEが立ち下がったことを受けて制御信号CWOを“L”レベルにするほか、制御信号LW1、LW2とともに“H”レベルにする。その結果、I／Oバッファ13はバスI／O上の書き込みデータをバスWRBX上に出送するようになる。もっともこの時点ではまだ書き込みデータの値が確定しているとは限らない。また、レジスタ回路3はアドレスレジスタに保持しているアドレス“Ax”を内部アドレスL_ADDとして出力するようになるほかレジスタ回路12はデータレジスタに保持しているデータ“Qx”をバスWRB上に出力するようになる。

次に、時刻 t_3 になるとアドレス Address の値が“An”に確定する。また、同時刻 t_3 では、アドレス Address (=内部アドレス LC_ADD) が変化し始めた時点(時刻 t_1)から時間 T_{SKEW} が経過しているため、ATD回路4はこの後の時刻 t_4 になるとアドレス変化検出信号ATDに正のワンショットパルスが発生させる。そして、アドレス変化検出信号ATDが立ち上がったことを受けて、リフレッシュ制御回路5は書き込み後に引き続いて行われるリフレッシュ動作のために、リフレッシュアドレスR_ADDの値を“1”だけ増加させてその値を“R1”に更新する。

そして、アドレス変化検出信号ATDの立ち上がりを契機としてレイトライト動作が開始される。すなわち、マルチプレクサ6はアドレス変化検出信号ATDの立ち上がりを受けて内部アドレスL_ADD側を選択するようになる。このとき、レジスタ回路3は内部アドレスL_ADDとしてアドレスレジスタの保持するアドレス“Ax”を出力しており、マルチプレクサ6はこの値をアドレスM_ADDとしてロウデコーダ8に出力する。また、同じくアドレス変化検出信号ATDが立ち上がったことで、ロウ制御回路16はロウイネーブル信号REに正のワンショットパルスが発生させる。これによってロウデコーダ8はアドレス“Ax”に対応するワード線(以下、書き込み対象のワード線を「書き込みワード線」と呼ぶことがある)を活性化させる。

次に、ロウイネーブル信号REのワンショットパルスに対応して、ロウ制御回

路 16 はセンスアンプイネーブル信号 S E に正のワンショットパルスを発生させるほか、制御信号 C C に正のワンショットパルスを発生させてこれをカラム制御回路 17 に出力する。これにより、カラム制御回路 17 はカラムイネーブル信号 C E に正のワンショットパルスを発生させる。こうしてカラムイネーブル信号 C E が “H” レベルとなると、カラムデコーダ 9 は内部アドレス L_ADD (= アドレス “A x”) に含まれた列アドレスをデコードし、この列アドレスに対応するカラム選択信号に正のワンショットパルスを発生させる。

この結果、センスアンプ・リセット回路 10 内のセンスアンプのうち、上記列アドレスに対応するセンスアンプが選択されてバス W R B と接続される。以上の結果、時刻 t 4 からはセンスアンプ・リセット回路 10 内のセンスアンプを通じてアドレス “A x” に対応したメモリセルヘデータ “Q x” の書き込みが始まる。この後に時刻 t 5 となると、アドレス “A n” に対する書き込みデータであるデータ “Q n” が供給されるようになり、当該データがバス I/O に載せられて I/O バッファ 13 を通じてバス W R B X 上に送出される。もっともこのときバス W R B X はバス W R B に接続されていないため、この時点においてデータ “Q n” はメモリセルアレイ 7 への書き込みには関係していない。

この後、ロウ制御回路 16 は書き込み動作を終了させるために、ロウイネーブル信号 R E のワンショットパルスを立ち下げる。これを受けて、ロウデコーダ 8 はアドレス “A x” に対応した書き込みワード線を非活性化させる。次に、ロウ制御回路 16 はセンスアンプイネーブル信号 S E を立ち下げてセンスアンプ・リセット回路 10 内のセンスアンプを通じた書き込み動作を終了させる。次いで、ロウ制御回路 16 は制御信号 C C を立ち下げ、この立ち下がりを受けたカラム制御回路 17 はカラムイネーブル信号 C E を立ち下げる。

その結果、カラムデコーダ 9 はカラム選択信号を無効化して、選択されていたセンスアンプ・リセット回路 10 内のセンスアンプとバス W R B との間を切り離す。次に、ロウ制御回路 16 はプリチャージイネーブル信号 P E を立ち上げ、これによってセンスアンプ・リセット回路 10 内のプリチャージ回路は次のアクセスに備えてビット線をプリチャージする。次いで、ロウ制御回路 16 はプリチャージ動作に必要な時間が経過してからプリチャージイネーブル信号 P E を立ち下

げて、センスアンプ・リセット回路10内のプリチャージ回路によるビット線のプリチャージ動作を終了させる。

(書き込みに伴うリフレッシュ動作)

次に、時刻 t_6 になってアドレス変化検出信号 ATD が立ち下がると、リフレッシュ動作が開始される。すなわち、マルチプレクサ6はアドレス変化検出信号 ATD が“L”レベルになったことでリフレッシュアドレス R_ADD 側を選択するようになり、アドレス M_ADD として“R1”を出力する。また、アドレス変化検出信号 ATD の立ち下がりを受けて、ロウ制御回路16はロウイネーブル信号 RE に正のワンショットパルスを発生させる。これによってロウデコーダ8はアドレス M_ADD の値“R1”に対応するワード線（以下、リフレッシュ対象のワード線を「リフレッシュワード線」と呼ぶことがある）を活性化させる。

その結果、メモリセルアレイ7ではリフレッシュワード線に接続されたメモリセルの保持データがビット線上の電位として現れるようになる。この後、ロウ制御回路16がセンスアンプイネーブル信号 SE に正のワンショットパルスを生成すると、センスアンプ・リセット回路10内のセンスアンプが活性化されて、リフレッシュワード線に接続された各メモリセルのリフレッシュが始まる。なお、リフレッシュ自体はDRAMで行われているものと全く同じであって周知の技術事項であるため、ここでは詳しく説明することはしない。

こうしてリフレッシュが行われている最中の例えば時刻 t_7 において、書き込みイネーブル信号 WE が立ち上げられると、 R/W 制御回路14は制御信号 $LW1$, $LW2$ をともに立ち下げる。この制御信号 $LW1$ の立ち下がりを受けて、レジスタ回路3は時刻 t_8 で内部アドレス LC_ADD の値“ A_n ”をアドレスレジスタに取り込む。また、レジスタ回路12は制御信号 $LW2$ の立ち下がりを受けて、同時刻 t_8 でバス $WRBX$ 上のデータ“ Q_n ”をデータレジスタに取り込む。これらレジスタに取り込まれたアドレス“ A_n ”及びデータ“ Q_n ”は、次の書き込み要求が行われた時点のメモリサイクルでレイトライト動作に使用されることになる。

この後、時刻 t_9 になると書き込みのためのメモリサイクルが終了して読み出しのためのメモリサイクルに移行する。もっとも、この時点ではレイトライトに

付随したリフレッシュ動作が引き続いて行われている状態である。一方、リフレッシュを開始（時刻 t_6 ）させてからリフレッシュに必要な時間が経過すると、ロウ制御回路 16 はリフレッシュ動作を終了させるためにロウイネーブル信号 R_E を立ち下げる。これによって、ロウデコーダ 8 はリフレッシュワード線を非活性化させる。次に、ロウ制御回路 16 はセンスアンプイネーブル信号 S_E を立ち下げて、リフレッシュを終えたセンスアンプ・リセット回路 10 内のセンスアンプを非活性化させる。

このとき、ラッチ制御回路 15 はセンスアンプイネーブル信号 S_E が立ち下がったことを受けてラッチ制御信号 L_C を立ち下げる。なお、以上説明したことから分かるように、先に説明した書き込みの場合とは異なり、リフレッシュの過程ではメモリセルのデータを半導体記憶装置外部へ出力する必要がないことから、ロウイネーブル信号 R_E にワンショットパルスが生成されてもカラムイネーブル信号 C_E にはワンショットパルスを発生させない。したがって、カラムデコーダ 9 もカラム選択信号を非活性状態のままとしている。

以上のようにしてリフレッシュ動作が完了したならば、ロウ制御回路 16 は書き込みが終わったときと同様にプリチャージイネーブル信号 P_E にワンショットパルスを発生させてビット線をプリチャージする。そして、これまで述べた動作が遅くとも時刻 t_{10} （すなわち、書き込みサイクルに続く読み出しサイクルの開始時点から時間 T_{skew} が経過したとき）までに行われる。なお、リフレッシュ動作が次のメモリサイクルのアドレススキュー期間終了まで延びても問題ないのは次のような理由からである。

すなわち、本実施形態ではアドレス Address が未確定の間はアドレス変化検出信号 A_{TD} のワンショットパルスを発生させないことで、アドレススキュー期間が終わるまで書き込み又は読み出し動作が始まらないように制御している。また、この制御に対応させて、アドレススキュー期間中は書き込み・読み出しアドレスに使用される内部アドレス L_ADD が直前のメモリサイクルの値を保持するようにしている。

なお、図 2 において時刻 $t_1 \sim t_9$ （実際の動作は時刻 $t_3 \sim t_{10}$ ）が 1 メモリサイクルであって、図 2 ではサイクルタイムを「 T_{cyc} 」で示してある。ま

た、時刻 $t_7 \sim t_9$ の期間が先述したリカバリ時間 T_{WR} に相当している。しかし本実施形態ではレイトライト後のプリチャージ動作がリフレッシュ動作前に完結しているため、リカバリ時間 T_{WR} を確保しておく必要はない。例えば、書き込みイネーブル信号 $/WE$ が時刻 t_9 で立ち上がるようにしても良く、そうした場合にはリカバリ時間 T_{WR} はゼロとなる。

(読み出し動作)

次に、時刻 t_9 から始まる読み出しのためのメモリサイクルについて説明する。まず時刻 t_9 ではアドレス Address の値が " A_n " から変化し始める。この場合も時刻 t_{10} まではアドレススキュー期間であることから、アドレスが " A_{n+1} " に確定するまではアドレス Address はラッチ 2 に取り込まれない。また、読み出し要求が為される場合はアドレススキュー期間で書き込みイネーブル信号 $/WE$ が立ち下げられることはなく、その代わりに出力イネーブル信号 OE が有効化される。

このため、 R/W 制御回路 14 はメモリセルからの読み出しに備えて制御信号 CWO を " H " レベルとするほか、制御信号 $LW1$, $LW2$ を何れも " L " レベルのままとする。これによって I/O バッファ 13 はバス $WRBX$ 上のデータをバス I/O へ送出するようになる。もっともこの時点ではまだアドレススキュー期間であって、ヒット制御信号 HE も直前のメモリサイクルのままになっており、バス $WRBX$ 上にデータ WRB 上のデータが読み出されるのか、データレジスタの保持データが読み出されるのかは確定していない。

次に、アドレススキュー期間が終わって時刻 t_{10} になると、アドレス Address および内部アドレス LC_ADD の値が " A_{n+1} " に確定する。このとき、制御信号 $LW1$ は " L " レベルであるため、内部アドレス LC_ADD の値がそのまま内部アドレス L_ADD として出力される。また、内部アドレス LC_ADD の値 " A_{n+1} " はアドレスレジスタに保持されているアドレス " A_n " と一致しないため、レジスタ回路 3 はヒット信号 HIT として " L " レベルを出力する。

次に、 ATD 回路 4 は時刻 t_{11} でアドレス変化検出信号 ATD に正のワンショットパルスを発生させ、これによって読み出し動作が開始される。そして、リフレッシュ制御回路 5 はリフレッシュアドレス R_ADD の値を " R_1 " から " R

1 + 1” に更新する。また、ヒット制御回路 11 は同時刻 t_{11} でヒット信号 HIT を取り込んでヒットイネーブル信号 HE として “L” レベルを出力する。これにより、レジスタ回路 12 はバス WRB とバス WRBX を接続するようになり、センスアンプ・リセット回路 10 内のセンスアンプによるセンス結果が I/O バッファ 13 およびバス I/O を通じて半導体記憶装置外部に出力可能となる。

次に、マルチプレクサ 6 は内部アドレス L_ADD 側を選択してアドレス “ A_{n+1} ” をアドレス M_ADD としてロウデコーダ 8 に出力する。同時に、ロウ制御回路 16 はロウイネーブル信号 RE に正のワンショットパルスが発生させ、ロウデコーダ 8 はアドレス “ A_{n+1} ” に対応したワード線（以下、読み出し対象のワード線を「読み出しワード線」と呼ぶことがある）を活性化させる。この結果、読み出しワード線に接続されたメモリセルの保持データがビット線上の電位として読み出される。次に、ロウ制御回路 16 はセンスアンプイネーブル信号 SE、制御信号 CC にそれぞれ正のワンショットパルスが発生させる。

すると、カラム制御回路 17 はカラムイネーブル信号 CE に正のワンショットパルスが発生させ、カラムデコーダ 9 はアドレス “ A_{n+1} ” 中の列アドレスに対応したカラム選択信号を活性化させて、このカラム選択信号に対応したセンスアンプをバス WRB と接続する。このセンスアンプは読み出しワード線に接続された各メモリセルのデータをセンスして “0” / “1” のレベルまで増幅する。その結果、時刻 t_{13} になるとアドレス “ A_{n+1} ” に記憶されているデータ “ Q_{n+1} ” がバス WRB 上に現れるようになり、レジスタ回路 12、バス WRBX、I/O バッファ 13 を通じてバス I/O から外部に読み出される。

この後、読み出し動作を終了させるために、ロウ制御回路 16 はロウイネーブル信号 RE を立ち下げる。すると、書き込みの場合と同様にして、アドレス “ A_{n+1} ” に対応した読み出しワード線が非活性化され、センスアンプイネーブル信号 SE が “L” レベルになってセンスアンプ・リセット回路 10 内のセンスアンプがセンス動作を終了させる。また、カラム制御回路 17 がカラムイネーブル信号 CE を “L” レベルにすることで、センスアンプとバス WRB との間が切り離される。次いで、ロウ制御回路 16 がプリチャージイネーブル信号 PE にワンショットパルスを生成することでビット線がプリチャージされる。

(読み出しに伴うリフレッシュ動作)

一方、時刻 t_{12} ではアドレス変化検出信号 ATD が立ち下がって、読み出しに付随したリフレッシュ動作が開始される。この場合、時刻 $t_{12} \sim t_{15}$ において為される動作は書き込みに付随するリフレッシュと同じであって、リフレッシュアドレス R_ADD として " R_1 " ではなく " $R_1 + 1$ " が使用される点だけが異なっている。そしてリフレッシュ動作中に時刻 t_{14} となると、読み出しのためのメモリサイクルが終了してこれに続く新たなメモリサイクルに移行し、リフレッシュ動作はこの新たなメモリサイクルでアドレススキュー期間が終了するまでに完了する。なお、時刻 $t_9 \sim t_{14}$ (実際の動作は時刻 $t_{10} \sim t_{15}$) はやはり 1 メモリサイクルであって、サイクルタイムは「 T_{cyc} 」である。

以上のように本実施形態では、書き込み要求に伴う書き込みイネーブル信号/ WE をアドレススキュー期間内で立ち下げているため、アドレスが確定した時点においてアクセスが書き込み/読み出し何れであるかが確定している。しかも本実施形態ではレイトライトを行っているため、書き込みアドレスおよび書き込みデータは何れもアドレススキュー期間以前において既に確定している。こうしたことから、アクセス要求が書き込み/読み出しの何れであるかが確定した時点よりすぐに書き込み動作又は読み出し動作を開始できる。また、上述したように本実施形態では、関連技術のようにリカバリ時間 T_{WR} を確保しておく必要がない。

したがって、書き込み又は読み出しに要する時間が最小限となつて、1 メモリサイクルの長さ (時刻 $t_3 \sim t_{10}$ あるいは時刻 $t_{10} \sim t_{15}$) を最短にすることができる。また、書き込み又は読み出しを行ってからリフレッシュを実施しているため、第 1 の関連技術や第 2 の関連技術のようにリフレッシュ後に読み出し又は書き込みを行う場合に比べて、リフレッシュを行うのに必要となる時間だけアクセス (読み出しの場合においてはアドレスアクセス時間 T_{AA}) を高速化することが可能である。

(バイパスが行われる場合)

図 2 において、読み出しアドレスが " A_{n+1} " ではなく " A_n " である場合、アドレス " A_n " に対する書き込みデータ " Q_n " が未だメモリセルアレイ 7 に反映されていない。このため、以下に説明するようなバイパス動作が行われる。

そこで以下では上述した動作との相違点について説明する。この場合、図2に示す時刻 t_{10} になるとアドレス Address の値が “A_n” に確定して、内部アドレス LC_ADD にもこの値 “A_n” が出力される。

このとき、レジスタ回路3内のアドレスレジスタは “A_n” を保持しているため、レジスタ回路3はヒット信号 HIT として “H” レベルを出力するようになる。この後、時刻 t_{11} になってアドレス変化検出信号 ATD が立ち上がると、ヒット制御回路11はヒット信号 HIT を取り込み、ヒットイネーブル信号 HE として “H” レベルを出力する。そしてこの場合は読み出し動作であるため、R/W制御回路14は制御信号 LW2 として “L” レベルを出力している。したがって、レジスタ回路12はデータレジスタに保持しているデータ “Q_n” をバス WRBX 上に出力するようになる。

この後は、読み出しアドレスが “A_{n+1}” のときに準じて、メモリセルアレイ7からアドレス “A_n” に記憶されているデータが読み出され、時刻 t_{13} になると当該データがバス WRB 上に読み出されてくる。しかし、このデータは書き込み前の古いデータであることから、読み出しデータとして使用されずに廃棄される。その代わりに、バス WRBX 上に出力されているデータ “Q_n” が I/Oバッファ13、バス I/O を通じて半導体記憶装置外部に出力される。

なお、バイパス動作を行う場合にはメモリセルアレイ7からの読み出しは必要ないことから、読み出し動作を起動せずに消費電流を低減させることが考えられる。そのためには、ヒットイネーブル信号 HE をロウ制御回路16にも供給する。そして、読み出し要求であってアドレス変化検出信号 ATD の立ち上がりタイミングでヒットイネーブル信号 HE が “H” レベルであれば、ロウ制御回路16およびカラム制御回路17は、ロウイネーブル信号 RE とこの信号から時系列的に生成される各信号（センスアンプイネーブル信号 SE、制御信号 CC、カラムイネーブル信号 CE、カラム選択信号、プリチャージイネーブル信号 PE）を発生させないように制御する。

〈リフレッシュを伴わない書き込み・読み出し〉

図2では外部からのアクセスに付随して必ずリフレッシュを行うものとしていた。しかし、1サイクル分のリフレッシュ（全てのワード線について1回ずつリ

フレッシュすることを指す)は、メモリセルアレイの構成や容量にも依るが数ms～数十ms程度の所定時間内に実施すれば良い。それには、アドレス Address が変化する度に必ずリフレッシュする必要はなく、例えば数 μ sに1回リフレッシュを行えば良い。

つまり、所定のメモリサイクル毎に1回だけ間欠的にリフレッシュを行うようにすれば良い。あるいは、図2のように連続的にリフレッシュを行う場合であっても、1サイクル分のリフレッシュを実施したのであれば、次のサイクルのリフレッシュを開始するまではリフレッシュする必要がない。このように、リフレッシュを実施する必要が当面なくなった場合は、リフレッシュ制御信号REF Aを立ち下げてリフレッシュを一時的に停止させれば良い。こうすることで、余分なリフレッシュが行われなくなって消費電力を削減できる。

図3はリフレッシュ制御回路5内のリフレッシュタイマの制御によってリフレッシュを一時的に行わないようにした場合の動作タイミングチャートを示している。上述したように、図2の場合にはリフレッシュ制御信号REF Aを“H”レベルのままにしていた。これに対して、図3の場合には先行するメモリサイクル中に実施されたリフレッシュによって1サイクル分のリフレッシュが完了したため、リフレッシュ制御回路5が時刻t0でリフレッシュ制御信号REF Aを立ち下げている。つまり図3では、アドレス変化検出信号ATDの発生をトリガとしたリフレッシュ動作を各メモリサイクルで連続的に行う状態から、こうしたリフレッシュ動作を行わない状態へ移行する切り替わりのタイミングを示してある。なおこのときリフレッシュ制御信号REF Bは図2の場合と同様に“H”レベルのままであるため、図3では特に図示していない。

ここで、時刻t1～t6における動作は図2の場合と全く同じである。そして時刻t6になるとアドレス変化検出信号ATDが立ち下がるが、このときにはリフレッシュ制御信号REF Aが“L”レベルとなっているため、ロウ制御回路16はロウイネーブル信号REおよびこれに対応したセンスアンプイネーブル信号SE及びプリチャージイネーブル信号PEを発生させず、リフレッシュは行われなくなる。また、リフレッシュ制御回路5内のアドレスカウンタは、リフレッシュ制御信号REF Aが“L”レベルとなったことでカウント動作を停止させるた

め、リフレッシュアドレス R_ADD の値は " $R1-1$ " のままになる。

そして、以上のことが読み出しの場合（時刻 $t9 \sim t15$ ）にも全く同様に行われる。したがって、時刻 $t12$ でアドレス変化検出信号 ATD が立ち下がってもリフレッシュは行われなくなり、リフレッシュアドレス R_ADD の値も引き続いて " $R1-1$ " のままとなる。なお、この後のある時点で次のリフレッシュサイクルを開始させる場合には、リフレッシュ制御回路 5 がリフレッシュ制御信号 $REFA$ を " H " レベルに戻すため、図 2 に示したような動作が再び行われるようになる。こうしてリフレッシュ動作が再開されたときにもリフレッシュカウンタはリセットされず、それまでリフレッシュカウンタに保持されている値に対してインクリメント動作が行われる。つまり、例えばセルフリフレッシュ動作がリフレッシュサイクル（すなわち、全ワード線をリフレッシュするサイクル）途中で中断してもリフレッシュカウンタがリセットされることはなく、次のリフレッシュ（読み出し又は書き込みに伴うリフレッシュ、セルフリフレッシュのいずれであっても良い。）動作が再開されたときに、リフレッシュカウンタに残っている値がインクリメントされる。

〈セルフリフレッシュ〉

次に、半導体記憶装置外部からのアクセス要求が所定のリフレッシュ時間にわたって無いために、リフレッシュタイマによるセルフリフレッシュが行われるときの動作について説明する。上述したように、本実施形態では外部からのアクセス要求に伴ってアドレス変化があったときに当該アクセス要求に対応する書き込み又は読み出しを行った後にリフレッシュを行うようにしている。

しかし、外部からのアクセス要求が長時間発生しないことも考えられるため、アクセス要求に付随してリフレッシュするだけではメモリセルアレイ 7 のデータを保持し続けることができない。そこで本実施形態では、リフレッシュ制御回路 5 内のリフレッシュタイマを用いて、外部からのアクセス要求が最後にあった時点から上記リフレッシュ時間が経過した時点でセルフリフレッシュを起動するようにしている。

図 4 はこのときの動作タイミングを示したものである。同図の時刻 $t9 \sim t15$ は、外部からの読み出し要求による読み出しとこれに付随するリフレッシュで

あって、図2に示したのと全く同じ動作である。なお、時刻 t_{11} でアドレス変化検出信号 ATD にワンショットパルスが生成された時点で、リフレッシュ制御回路5はリフレッシュタイマをリセットしてリフレッシュ時間の計時を最初から行うようにする。そして、時刻 t_{12} からのリフレッシュを最後に1サイクル分のリフレッシュが終了するものとした場合、図3のときと同様にしてリフレッシュ制御信号 $REFA$ が時刻 t_{21} で立ち下げられる。

この後、次のサイクルのリフレッシュを開始させるタイミングになると、リフレッシュ制御回路5は時刻 t_{22} でリフレッシュ制御信号 $REFA$ を立ち上げる。このため、外部からのアクセス要求があったときにリフレッシュが可能な状態に遷移するが、こうした状態にも拘わらずアクセス要求の無い状態が継続すると、リフレッシュ制御回路5はリフレッシュ制御信号 $REFA$ を上記遅延回路で遅延させた信号の立ち上がりトリガとして上記パルス発生回路を起動させ、時刻 t_{23} でリフレッシュ制御信号 $REFB$ に負のワンショットパルスを発生させる。これにより、ロウ制御回路16はロウイネーブル信号 RE にワンショットパルスを発生させてリフレッシュを行わせる。このとき、マルチプレクサ6はリフレッシュ制御信号 $REFB$ が“L”レベルとなったことからリフレッシュアドレス R_ADD 側を選択するようになり、アドレス M_ADD として“ $R1+1$ ”を出力する。なお、このときに行われるリフレッシュ動作は図2に示した動作と全く同様である。

この後、リフレッシュ制御回路5は時刻 t_{24} でリフレッシュ制御信号 $REFB$ を立ち上げてリフレッシュ動作を終了させる。このとき、マルチプレクサ6はリフレッシュ制御信号 $REFB$ の立ち上がりを受けて内部アドレス L_ADD 側を選択するようになる。またリフレッシュ制御回路5は、時刻 t_{25} でリフレッシュアドレス R_ADD を“ $R1+2$ ”に更新する。なお、この場合はリフレッシュ制御信号 $REFA$ が時刻 t_{22} で立ち上げられてからアドレス変化検出信号 ATD が発生していないため、アドレス変化に伴うリフレッシュ動作を連続して行う状態には移行しない。したがって、リフレッシュ制御回路5は時刻 t_{26} でリフレッシュ制御信号 $REFA$ を立ち下げ、これ以後も引き続いてリフレッシュタイマでリフレッシュ動作をコントロールする状態にする。

ここで、リフレッシュタイマがリフレッシュ時間を計時している間に半導体記憶装置外部からアクセス要求があると、その動作は図5に示したタイミングチャートのようになる。すなわち、時刻 t_{31} でアドレス Address が変化し始め、時刻 t_{32} になってその値が " $A_n + 2$ " に確定すると、時刻 t_{33} でATD回路4はアドレス変化検出信号ATDにワンショットパルスを発生させる。すると、リフレッシュ制御回路5は図4のときのようにリフレッシュ制御信号REFBを立ち下げることなく"H"レベルのまま維持する。このため、時刻 t_{33} 以降においては、時刻 $t_{11} \sim t_{15}$ と同様にして、アドレス " $A_n + 2$ " からの読み出しとアドレス " $R_1 + 2$ " に関するリフレッシュが行われる。その結果、時刻 t_{35} になるとバスWRBX上にアドレス " $A_n + 2$ " に記憶されているデータ " $Q_n + 2$ " が出力されるようになる。なお、図5ではセルホールドリミットのタイミングに近づいて時刻 t_{22} でリフレッシュ制御信号REFAが立ち上げられたことを想定しており、この後に連続するメモリサイクルでアドレス変換検出信号ATDが順次生成されて、リフレッシュを連続的に行ってゆくことになることから、リフレッシュ制御信号REFAを"H"レベルのまま維持している。

〈変形例〉

(1) 上述した説明では、レイトライトを次の書き込み要求が為されるメモリサイクルで行うようにしていた。このようにしている理由は、レイトライトを確実に実施できるのは次に書き込み要求があったメモリサイクルだからである。いま、次の書き込み要求までの間に空き時間を利用してレイトライトを行うものとする。この場合において、レイトライトを行っている最中に読み出し要求が与えられても、レイトライトが完了するまでは読み出し動作の開始を遅らせねばならない。したがって、アドレススキュー期間の経過後にすぐ読み出し動作を開始させた場合に比べて、読み出しデータの得られるのが遅くなってしまう。

とは言え、レイトライトに必要な時間だけ読み出し要求が入力されないことを保証できる期間があれば、そうした期間内でレイトライトを実施しても良い。したがって、レイトライトを行うタイミングは必ずしも次の書き込み要求があった時点に限定されるわけではない。こうした期間として、チップセレクト信号/C

S（或いは、汎用SRAMのチップイネーブル信号に相当する信号）が無効化されており、チップそのものが非選択状態（或いは、非活性化状態）となっている場合が考えられる。そのためには、チップセレクト信号/CS又はチップイネーブル信号をいったん無効化した場合は、少なくともレイトライトに必要な時間をおいてからこれらの信号を有効化するように、半導体記憶装置の仕様を取り決めておけば良い。

（２）上述した説明では、書き込み又は読み出しに伴ってリフレッシュを１回だけ行うようにしている。しかし、本実施形態では書き込み又は読み出しを行ったのちにリフレッシュを行っている。このため、１メモリサイクルがこれまでに説明した場合に比べて長く設定されているのであれば、１メモリサイクルに収まる範囲内で複数回のリフレッシュを行うようにしても良い。これにより、一般のSRAMのように、ライトパルス時間 T_{WP} の上限値やサイクルタイム T_{cyc} の上限値を規定する必要がなくなる。この理由については後に詳しく説明する。

（３）また、上述したようにチップが非選択状態になっていて外部からアクセス要求が無いのであれば、その空き時間を利用して１回ないし複数回のリフレッシュを行うようにしても良い。また、上記変形例（１）で述べたように、チップが非選択状態になった時点でレイトライトを行うのであれば、レイトライトとともにリフレッシュを実施すれば良い。その際、上記変形例（２）で述べたように複数回のリフレッシュを行うようにしても良い。

（４）上述した説明では、書き込みイネーブル信号/WEをアドレススキュー期間内に立ち下げるという条件を課していた。しかしこうした条件は必須というわけではない。例えば、書き込みイネーブル信号/WEがアドレススキュー期間よりも後で有効化された場合であっても、その後のレイトライト動作およびリフレッシュ動作に要する時間が短いのであれば、上述した条件を厳格に課する必要性はない。こうした場合には、時間 T_{skew} の値をスキューの最大値よりも大きく設定するようにして、書き込みイネーブル信号/WEを立ち下げるタイミングまでアドレススキュー期間を延ばすようにすれば良い。

（５）上述した説明では、レイトライト制御にあたって制御信号LW1, LW2を同じタイミングで駆動していた。したがって、これら両制御信号を一本化して

しまっても良い。ただ、例えば書き込みアドレスをアドレスレジスタに取り込むのは、アドレススキュー期間が経過した時点から書き込みイネーブル信号／WEが立ち上がるまでの期間内であればいつでも良い。したがって、例えば制御信号LW1を立ち上げるタイミングをアドレススキュー期間経過後とし、この立ち上がりに同期して書き込みアドレスをアドレスレジスタに取り込んでも良い。

〈ライトパルス時間 T_{WP} 及びサイクルタイム T_{Cyc} について〉

一般に、リフレッシュを必要としないSRAMの場合、ライトパルス時間 T_{WP} 及びサイクルタイム T_{Cyc} の上限値についてタイミング仕様上の規定がない。ここで、ライトパルス時間 T_{WP} は、データの書き込みを行う際に書き込みイネーブル信号／WEが“L”レベルとなる期間を規定し、この期間にワード線が選択されてメモリセルにデータが書き込まれる。また、サイクルタイム T_{Cyc} は、データの読み出し又は書き込みを行う際にアドレスが指定されるべき期間を規定する。

リフレッシュを必要としない通常のSRAMでは、そのタイミング仕様上、ライトパルス時間 T_{WP} およびサイクルタイム T_{Cyc} については下限値のみが規定されており、その上限値については特に規定されていない。従って、SRAMのユーザは、その下限値さえ満足すれば、ライトパルス時間 T_{WP} およびサイクルタイム T_{Cyc} を任意に設定することができる。これに対し、DRAMと同様のメモリセルでデータを保持する本実施の形態に係る疑似SRAMでは、レイトライトによらない場合、リフレッシュ上の制約からライトパルス時間 T_{WP} およびサイクルタイム T_{Cyc} の上限値が必要となる。

即ち、本実施の形態において、一般の疑似SRAMと同様のライト方式を採用した場合、ワード線が選択状態とされる期間がライトパルス時間 T_{WP} で規定されることとなる。そして、このライトパルス時間 T_{WP} で規定される期間においては、ビット線上でのデータの競合を避ける必要上、他のワード線の選択が一切禁止され、リフレッシュも禁止される。従って、ライトパルス時間 T_{WP} が無制限にながくなると、リフレッシュが行われない期間も長くなり、メモリセルに保持されたデータが消失してしまうため、ライトパルス時間 T_{WP} に上限値が必要となる。

また、本実施の形態では、アドレスが切り替わると、読み出し又は書き込みに付随してリフレッシュが行われるが、サイクルタイム T_{Cyc} が長くなると、アド

レスが切り替わるまでの期間も長くなり、リフレッシュの間隔も長くなる。従って、サイクルタイム T_{cyc} が無制限に長くなると、リフレッシュが行われない期間も長くなり、メモリセルに保持されたデータが消失してしまうため、サイクルタイム T_{cyc} にも上限値が必要となる。しかしながら、本実施の形態に係るレイトライト方式によれば、上述のようなライトパルス時間 T_{wp} やサイクルタイム T_{cyc} の上限値が不要となり、タイミング仕様上の制約を緩和することができる。

以下、ライトパルス時間 T_{wp} およびサイクルタイム T_{cyc} の上限値が不要となることの理由を詳細に説明する。

先ず、図6に示すタイミングチャートを参照して、ライトパルス時間 T_{wp} の上限値が不要となることの理由を説明する。時刻 t_{80} においてアドレス Address が「 $A_n + 1$ 」に切り替わり、時刻 t_{81} において書き込みイネーブル信号 $/WE$ が“L”レベルに変化すると、レイトライトとリフレッシュが順次行われる。即ち、時刻 t_{82} から時刻 t_{83} にかけてワード線 WL が選択され、レイトライトが行われる。即ち、アクセスアドレス $A_n + 1$ に対する書き込みサイクル内において、このアクセスアドレス $A_n + 1$ で指定されるメモリセルアレイ上のワード線が一時的に選択されてレイトライトが行われる。

そして、このレイトライト（書き込み）に付随して、時刻 t_{84} から時刻 t_{85} にかけてリフレッシュアドレス「 $R_1 + 1$ 」で指定されるワード線が一時的に選択され、このリフレッシュアドレスに対するリフレッシュが行われる。このリフレッシュが終了すると、リフレッシュタイマーが起動して計時が開始される。この計時は、最後のリフレッシュが行われてからの経過時間を把握し、セルフリフレッシュすべきタイミングを得るために行われる。

ここで、ライトパルス時間 T_{wp} が長く設定され、書き込みイネーブル信号 $/WE$ が長期間にわたって“L”レベルに維持された場合を考える。この場合、時刻 t_{87} において、上述のリフレッシュタイマーの値が、リフレッシュすべきタイミングを与える値に達すると、リフレッシュ制御信号 $REFB$ が生成され、時刻 t_{88} にかけてリフレッシュが行われる。即ち、上述の書き込みに付随するリフレッシュが行われてから所定の時間が経過した後に、メモリセルアレイのリフレッシュが自発的に行われる。この例では、時刻 t_{87} 以前の時刻 t_{86} において、

リフレッシュアドレス R_ADD が「 $R1+2$ 」に切り替わっているので、時刻 $t87$ ではリフレッシュアドレス「 $R1+2$ 」に対するリフレッシュが行われる。なお、リフレッシュアドレスは、セルフリフレッシュのタイミングと整合がとられて適切な周期でインクリメントされる。

このように、レイトライト方式を採用したことにより、データを書き込むためには、ワード線が一時的にしか選択されず、書き込みサイクル内の他の期間は、データの書き込みが行われない期間となる。従って、ライトパルス時間 T_{WP} で規定される期間であっても、自発的なリフレッシュ（セルフリフレッシュ）を有効に機能させることができ、ライトパルス時間 T_{WP} を無制限に長くしても、メモリセルのデータを保持することが可能となる。よって、通常の SRAM のように、ライトパルス時間 T_{WP} の上限を規定する必要がなくなり、タイミング仕様上の制約を緩和することができる。

次に、図 7 に示すタイミングチャートを参照して、サイクルタイム T_{cyc} の上限値が不要となることの理由を詳細に説明する。

時刻 $t90$ においてアドレス Address が「 A_{n+1} 」に切り替わると、時刻 $t92$ から時刻 $t93$ にかけてワード線 WL が一時的に選択され、通常のリードが行われる。即ち、アクセスアドレス A_{n+1} に対する読み出しサイクル内において、このアクセスアドレス A_{n+1} で指定されるメモリセルアレイ上のワード線が一時的に選択されてリードが行われる。このリードに付随して、時刻 $t94$ から時刻 $t95$ にかけてリフレッシュアドレス「 $R1+1$ 」で指定されるワード線が選択されてリフレッシュが行われる。このリフレッシュが終了すると、セルフリフレッシュすべきタイミングを得るために、リフレッシュタイマーが起動する。

ここで、サイクルタイム T_{cyc} が長く設定され、リードサイクルが長期間にわたって継続した場合を考える。この場合、時刻 $t97$ において、上述のリフレッシュタイマーの値が、リフレッシュすべきタイミングを与える値に達すると、上述のライトパルス T_{WP} の場合と同様にリフレッシュ制御信号 $REFB$ が生成され、時刻 $t98$ にかけてリフレッシュアドレス「 $R1+2$ 」に対するリフレッシュが行われる。即ち、上述の読み出しサイクルに付随するリフレッシュが行われてから所定の時間が経過した後に、メモリセルアレイのリフレッシュが自発的に

行われる。

図7に示す例では、読み出し（リード）を行う場合を説明したが、レイトライトを行う場合のサイクルタイム T_{cyc} を長くしたとしても、同様に適切なタイミングでセルフリフレッシュが行われる。従って、サイクルタイム T_{cyc} を無制限に長くしても、メモリセルのデータを保持することが可能となり、よって、通常のSRAMのように、サイクルタイム T_{cyc} の上限を規定する必要がなく、タイミング仕様上の制約を緩和することができる。

〔第2実施形態〕

第1実施形態では、1メモリサイクル（サイクルタイム T_{cyc} ）の中でレイトライト及びリフレッシュ又は読み出し及びリフレッシュを行っていた。一方、本実施形態では、例えば連続する2メモリサイクルにおいて2回のアクセス（レイトライト又は読出）および1回のリフレッシュを行うことで、第1実施形態よりもサイクルタイムを短縮して高速化を図っている。

図8は本実施形態による半導体記憶装置の構成を示すブロック図であって、図1と同じ構成要素については同一の符号を付してある。図1との相違点は、ATD回路4の代わりにATD回路24を設けて、このATD回路24へリフレッシュ制御信号REF A、REF Bをさらに入力していることにある。以下に述べるように、本実施形態ではアドレス変化検出信号ATDの生成タイミングが第1実施形態と若干異なっている。

すなわち、第1実施形態ではアドレスAddressが変化し初めた時点からアドレススキュー期間が経過したときに、ATD回路4がアドレス変化検出信号ATDに正のワンショットパルスを発生させていた。これに対し、本実施形態ではサイクルタイムを短くしているために、リフレッシュが行われるメモリサイクルの中ではリフレッシュが完了しない。そこでこのメモリサイクルに続くメモリサイクルでは、直前のメモリサイクルで開始されたリフレッシュが終了するまで読み出し動作又はレイトライト動作の開始を遅らせている。

そのために、ATD回路24はリフレッシュ制御信号REF A、REF Bに基づいてリフレッシュが行われたことを検出できるようにしている。そして直前のメモリサイクルでリフレッシュが行われたことを検出した場合、ATD回路24

は後続のメモリサイクルで読み出し又はレイトライトの開始を遅延させる分だけワンショットパルスの発生を遅らせている。なお、直前のメモリサイクルでリフレッシュが検出されなかった場合、A T D回路24は第1実施形態と同様にアドレススキュー期間が経過した時点からワンショットパルスを発生させる。

図9は本実施形態による半導体記憶装置の動作を示したタイミングチャートである。同図は第1実施形態で参照した図2の動作タイミングに準じているため、図2と同じ時刻については同一の符号を付してある。本実施形態では読み出し、レイトライト、リフレッシュに要する時間をいずれも図2に合わせてある。一方、本実施形態では図2のようにリフレッシュを毎サイクル行うのではなく、複数のメモリサイクル（図9に示した例では2メモリサイクル）に1回だけリフレッシュを行うようにしている。また、本実施形態ではサイクルタイム（図9中の T_{cycs} ）を図2に示したサイクルタイム T_{cyc} よりも短く設定している（すなわち、 $T_{cycs} < T_{cyc}$ ）。このため、本実施形態では、読み出し及びリフレッシュ又はレイトライト及びリフレッシュが1メモリサイクルに収まらなくなっている。

まず、時刻 $t_1 \sim t_6$ における動作は図2の動作と全く同様であって、アドレススキュー期間後にレイトライトが行われる。次に、図2の時刻 t_9 よりも早い時刻 t_{9a} でアドレスAddressが変化を開始し、図2の時刻 t_{10} よりも早い時刻 t_{10a} でアドレススキュー期間が終了してアドレスAddressが“ A_{n+1} ”に確定する。しかし、本実施形態では図2の場合よりもサイクルタイムが短くなっているため、この時点ではレイトライトに続くリフレッシュがまだ行われている最中である。

このためA T D回路24は、アドレス変化検出信号A T Dにワンショットパルスを発生させるタイミングを図2のように時刻 t_{11} （図中の破線を参照）ではなく、リフレッシュが終了する時点まで遅らせている。これにより、次の読み出し動作の開始が遅延されて、リフレッシュと読み出しとの競合を回避することができる。この後にリフレッシュが終了して時刻 t_{11a} になると、A T D回路24はアドレス変化検出信号A T Dに正のワンショットパルスを発生させて、アドレス“ A_{n+1} ”の読み出し動作を開始させる。なお、このメモリサイクルでは読み出しに引き続いてリフレッシュは行われない。

この後、図2の時刻 t_{14} よりも早い時刻 t_{14a} でアドレス Address が変化を開始し、図2の時刻 t_{12} よりも遅い時刻 t_{12a} でワンショットパルスが立ち下がる。次に、図2の時刻 t_{15} よりも早い時刻 t_{15a} でアドレススキュー期間が終了する。この時点では直前のメモリサイクルでリフレッシュが行われていないため、ATD回路24は時刻 t_{15a} の直後の時刻 t_{39} でアドレス変化検出信号ATDにワンショットパルスを発生させて、アドレス " A_{n+2} " に対するアクセスを開始させる。

以上のように本実施形態では、時刻 $t_1 \sim t_{14a}$ (実際の動作は時刻 $t_3 \sim t_{15a}$) に対応する2メモリサイクルでリフレッシュを1回だけ行うことで、第1実施形態に比べてサイクルタイムを短縮して高速化を図ることが可能となる。なお、アドレス " A_n " とアドレス " A_{n+1} " とでアドレスアクセス時間 T_{AA} を比較すると、ワンショットパルスの発生を遅らせた分(時刻 $t_{11} \sim t_{11a}$) だけアドレス " A_{n+1} " のアドレスアクセス時間 T_{AA} が大きくなるが、アドレスアクセス時間 T_{AA} を短縮するよりもサイクルタイムの短縮を優先させたい場合には、第1実施形態よりも本実施形態の方が適している。

なお、上述した説明では読み出しを遅らせる場合について説明したが、読み出しではなくレイトライトであっても全く同様である。

また、図9ではアドレススキュー期間の終了する時刻 t_{15a} までにアドレス " A_{n+1} " の読み出しが完了していたが、この読み出し動作が時刻 t_{15a} 以降になる場合も考えられる。そうした場合には、アドレス " A_{n+1} " の読み出し動作が終了するまで、アドレス " A_{n+2} " 以降のメモリサイクルでもアドレス変化検出信号ATDの発生タイミングを遅らせてアクセス(レイトライト又は読み出し)の開始を遅延させれば良い。したがってこの場合には、3メモリサイクル以上に1回リフレッシュを行うことになる。

〔第3実施形態〕

上述した第1実施形態や第2実施形態ではレイトライトを行うことによってメモリサイクルの短縮化を図っていた。これに対して本実施形態では、第1実施形態等で課した条件に加えてさらに次のような条件を課している。それによって、第1実施形態等のようにレイトライトを行うことなく、書き込み要求のあったメ

メモリサイクル内でメモリセルに対する本来の書き込みを行いながら、第1実施形態等と同様にメモリサイクルを短縮できるなどの効果が得られる。

すなわち、第1実施形態等では書き込みデータが書き込みイネーブル信号／WEの立ち下がりよりも遅れてアドレススキュー期間後に確定する場合を考慮していた。一方、本実施形態では書き込みイネーブル信号／WEのみならず書き込みデータもアドレススキュー期間内で確定するように、半導体記憶装置の仕様を取り決めてある。こうすることで、レイトライトを行った場合と同様にアドレススキュー期間後すぐに書き込みデータをメモリセルへ供給することが可能となり、敢えてレイトライトを行う必要がなくなる。

図10は本実施形態による半導体記憶装置の構成を示したブロック図であって、図1に示したものと同一構成要素については同一の符号を付してある。図1との相違点はレジスタ回路3、ヒット制御回路11、レジスタ回路12が不要となることである。このため、ラッチ2の出力が内部アドレスL_ADDとしてATD回路4、マルチプレクサ6、カラムデコーダ9に供給されている。また、R/W制御回路64は図1に示したR/W制御回路14とほぼ同様の構成であって、制御信号LW1、LW2を生成するための論理が入っていない点においてR/W制御回路14と相違している。このほかの相違点として、センスアンプ・リセット回路10とI/Oバッファ13の間がバスWRBによって直接接続されている。

次に、図11のタイミングチャートを参照して上記構成による半導体記憶装置の動作を説明する。図11に例示した動作タイミングは図2に示した動作タイミングを基本としていることから、ここでは図2の動作との相違点についてのみ説明する。なお、本実施形態は図2に限らず第1実施形態で説明した全ての場合について適用可能である。さて、本実施形態ではアドレス“An”に書き込むべきデータ“Qn”がアドレススキュー期間内の例えば時刻t2aで与えられる。ここで本実施形態でも、第1実施形態と同様に書き込みイネーブル信号／WEが立ち下がった時点（時刻t2）で制御信号CWOを“L”レベルにしている。

このため、バスI/O上に供給された書き込みデータ“Qn”は、I/Oバッファ13を介してバスWRBに送出される。また、本実施形態ではラッチ2の出力がそのまま内部アドレスL_ADDとしてマルチプレクサ6に供給されるため、

時刻 t_3 で確定したアドレス Address の値 “ A_n ” がアドレス M_ADD としてロウデコーダ 8 に供給される。したがって、時刻 t_4 でアドレス変化検出信号 ATD が立ち上がったときから、アドレス “ A_n ” に対してデータ “ Q_n ” を通常の書き込み動作（ノーマルライト；図中、「Normal Write」）に従って書き込むことが可能となる。

以上のように本実施形態によれば、第 1 実施形態のようにレジスタ回路 3，レジスタ回路 11，ヒット制御回路 12 が不要であるとともに、 R/W 制御回路 64 で制御信号 $LW1$ ， $LW2$ を生成する必要があるため、回路構成を小規模かつ簡単化することが可能である。なお、上述した説明では書き込みイネーブル信号 $/WE$ を立ち下げってから書き込みデータが確定するものとした。しかし、書き込みデータはアドレススキュー期間内に確定すれば良く、書き込みイネーブル信号 $/WE$ の立ち下がりと書き込みデータの確定のタイミングはアドレススキュー期間内であれば任意であって良い。また、本実施形態では書き込みイネーブル信号 $/WE$ の立ち上がり（時刻 t_7 ）で書き込みアドレス及び書き込みデータを取り込む必要はないことから、書き込みアドレス “ A_n ” および書き込みデータ “ Q_n ” はノーマルライトに必要な時間だけ保証されていれば良い。

〔第 4 実施形態〕

本実施形態は汎用の DRAM など採用されているページモードと同様の機能を実現するものである。図 12 は本実施形態による半導体記憶装置の構成を示したブロック図であって、図 1 に示したものと同一構成要素および信号名については同一の符号を付してある。本実施形態では、第 1 実施形態で説明したアドレス Address を上位ビット側のアドレス UAddress と下位ビット側のアドレス PageAddress に分割することによって、アドレス UAddress を同じくするビットについてはアドレス PageAddress を変えるだけで連続してデータを入出力可能としている。

例えば、本実施形態ではアドレス PageAddress を 2 ビット幅としているため、アドレス PageAddress を “00” B ～ “11” B（ここで「B」は 2 進数を意味する）の範囲内で可変させることで、連続する 4 アドレス分のデータを連続的にアクセス可能である。なお、アドレス PageAddress の幅は 2 ビットに限定される

ものではなく、「2ビット」～「アドレス Address に含まれる列アドレスのビット数」の範囲内であれば任意のビット数であって良い。また本実施形態では、アドレス PageAddress で4ビットのデータを選択可能としたことに伴って、図1に示したバスWRBの代わりに4組のバスWRB_i（ここでは $i = 0 \sim 3$ ）を設けてある。このため、アドレス PageAddress の値が“00”B～“11”Bであるときに、これらアドレスで指定されるメモリセルの各ビットデータはそれぞれバスWRB₀～WRB₃を通じて入出力されることになる。

次に、アドレスバッファ141、ラッチ142、ATD回路143、カラムデコーダ148、センスアンプ・リセット回路149は図1に示したアドレスバッファ1、ラッチ2、ATD回路4、カラムデコーダ9、センスアンプ・リセット回路10と同様の構成である。本実施形態では、第1実施形態におけるアドレス Address の代わりにアドレス UAddress を用いているため、これらアドレスのビット幅に違いがある分だけこれら回路の構成が異なっている。ただし、センスアンプ・リセット回路149はさらに若干の相違点がある。

すなわち、本実施形態では内部アドレス L_ADD に含まれる個々の列アドレスについて4ビット分のデータをそれぞれバスWRB₀～WRB₃上で入出力することになる。このため、センスアンプ・リセット回路149はカラムデコーダ148から出力されるカラム選択信号に従って、メモリセルアレイ7内で隣接している4本のビット線を同時に選択し、これらビット線に接続された4組のセンスアンプとバスWRB₀～WRB₃をそれぞれ接続する。なお、ATD回路143にはアドレス PageAddress が入力されないため、アドレス PageAddress を変えて連続的にアクセスを行う場合にはアドレス変化検出信号ATDにワンショットパルスが生成されてしまうことはない。

このほか、レジスタ回路150は図1に示したレジスタ回路12と同様の構成であるが、バスWRBのバス幅を広げてバスWRB₀～WRB₃としたことに対応して、レジスタ回路150が同時に取り扱うデータ幅をレジスタ回路12のその4倍にしてある。次に、アドレスバッファ151はアドレスのビット幅が異なる点を除くとアドレスバッファ1と同様の構成であって、アドレス PageAddress をバッファリングするものである。また、バスデコーダ152はアドレスバッ

ァ 1 5 1 から出力される 2 ビット分のページアドレスをデコードして 4 本のバス選択信号を出力する。

次に、バスセクタ 1 5 3 はバス WRB i と同じ幅を持つバス WRBA i を介してレジスタ回路 1 5 0 と接続されており、バスデコーダ 1 5 2 から出力されるバス選択信号に従ってバス WRBA 0 ~ WRBA 3 のうちの何れか一つとバス WRBX との間を接続する。また、バスセクタ 1 5 3 はメモリセルアレイ 7 からの読み出しのために、バス WRBA 0 ~ WRBA 3 にそれぞれ対応したラッチ回路を内蔵している。このラッチ回路は、リフレッシュ動作と並行してバス WRBA i 上のデータを順次外部へ出力してゆくために、アドレス変化検出信号 ATD の立ち下がりによってバス WRBA 0 ~ WRBA 3 上に読み出されたデータを同時に取り込むようにしている。

そのため ATD 回路 1 4 3 は、読み出し動作が完了してバス WRBA 0 ~ WRBA 3 上にデータが確実に読み出されてからアドレス変化検出信号 ATD が立ち下げるように、アドレス変化検出信号 ATD のワンショットパルス幅を決定している。一方、書き込み動作の場合、バスセクタ 1 5 3 は書き込みイネーブル信号 /WE の立ち上がりトリガとして、上記バス選択信号で指定されたバス WRBA 0 ~ WRBA 3 のうちの何れかへバス WRBX 上の書き込みデータを送出するとともに、バス WRBA 0 ~ WRBA 3 のうちの何れかに対応した内部のラッチ回路へ当該書き込みデータをラッチする。

次に、R/W 制御回路 1 5 4 は図 1 に示した R/W 制御回路 1 4 とほぼ同様の構成であるが、制御信号 LW1, LW2 を発生させるタイミングが若干異なっている。すなわち、第 1 実施形態では書き込みイネーブル信号 /WE が立ち上がる度に R/W 制御回路 1 4 が制御信号 LW1, LW2 をともに立ち下げている。一方、本実施形態の R/W 制御回路 1 5 4 では、書き込みイネーブル信号 /WE の 4 回目の立ち上がり（すなわち、1 回分のページ書き込みを終了させるタイミング）をトリガとして、書き込みイネーブル信号 /WE の立ち上がりよりも若干遅れて制御信号 LW1, LW2 をともに立ち下げている。

次に、上記構成を採用した半導体記憶装置の動作を説明する。まず初めに、図 1 3 のタイミングチャートを参照しながらページ読み出し動作について説明する。

同図の動作は第1実施形態で説明した図2の動作に準じており、レジスタ回路150内のデータレジスタではなくメモリセルアレイ7からデータが読み出される（ミスヒットの）場合である。

以下では図2の動作との相違点を中心に説明する。なお、本実施形態は図2の場合に限らず第1実施形態で説明したその他の場合についても同様に適用可能である。ここで、図13に示した“Y1”～“Y4”は“00”B～“11”Bのうちの何れかの値であって、ここでは後述するバースト動作と区別するために、“Y1”～“Y4”の値がそれぞれ“11”B, “10”B, “01”B, “00”Bであることを想定する。

まず時刻t10では図2と同様にアドレスUAddressに“A_{n+1}”を与える。ただしこのときにはアドレスPageAddressが“Y1”となっている。これによって、時刻t11でアドレス変化検出信号ATDが立ち上がって、アドレスA_{n+1}で指定された4個のメモリセル（すなわち、下位アドレスが“00”B～“11”B）をそれぞれバスWRB0～WRB3上に読み出すための動作が始まる。

ここではミスヒットであるためヒットイネーブル信号HEは“L”レベルであり、読み出しであるため制御信号LW2も“L”レベルであって、レジスタ回路150はバスWRB_iとバスWRBA_iとの間をスルーで接続する。またこのときアドレスPageAddressの値は“11”Bであることから、バスデコード152はアドレスバッファ151を通じて受け取ったアドレスPageAddress“Y1”の値“11”Bをデコードする。この結果、バスセクタ153はバスWRBA3を選択してバスWRBXと接続する。

この後に時刻t13になると、アドレス“A_{n+1}”から始まる4ビット分のデータがバスWRB0～WRB3上に読み出され、レジスタ回路150を通じてバスWRBA0～WRBA3に出力される。また、バスWRBX上にはバスWRBA3上に読み出されたアドレスA_{n+1}(Y1)の値[Q_{n+1}(Y1)]が出力され、I/Oバッファ13、バスI/Oを通じて外部へ出力される。こうして読み出しが完了すると、ATD回路143は時刻t40でアドレス変化検出信号ATDを立ち下げる。これにより、バスセクタ153はバスWRBA0～WRBA3上に読み出されている4ビット分のデータを内部のラッチ回路に取り込む。

また、このとき図2の場合と同様にリフレッシュ動作が起動されてアドレス“R1+1”のリフレッシュが行われる。

こうしたリフレッシュ動作が行われている最中にアドレス PageAddress を適宜変更してゆくことで、アドレス UAddress (= “An+1”) を同じくするメモリセルのデータを順次読み出すことができる。すなわち、時刻 t41 でアドレス PageAddress に “Y2” (= “10” B) を与えると、バスセクタ153はバス WRBA2 に対応する内部のラッチ回路が保持するデータを選択してバス WRBX に出力する。これにより、時刻 t42 になると下位アドレス “10” B のアドレスに記憶されているデータ “Qn+1 (Y2)” がバス I/O から外部へ出力される。

以後同様にして時刻 t43 でアドレス PageAddress に “Y3” (= “01” B) を与えると、バス WRBA1 に対応したラッチ回路の保持するデータがバス WRBAX に出力され、時刻 t44 で下位アドレス “01” B のアドレスに記憶されているデータ “Qn+1 (Y3)” がバス I/O から外部に出力される。また、時刻 t45 でアドレス PageAddress に “Y4” (= “00” B) を与えると、バス WRBA0 に対応したラッチ回路の保持するデータがバス WRBX に出力され、時刻 t46 で下位アドレス “00” B のアドレスに記憶されているデータ “Qn+1 (Y4)” がバス I/O から外部に出力される。

以上はミスヒットした場合の動作であったが、ヒットしてバイパス動作が行われる場合もほとんど同じである。ただこの場合には、時刻 t11 でアドレス変化検出信号 ATD が立ち上がると、ヒットイネーブル信号 HE が “H” レベルとなる。また、このときには制御信号 LW2 が “L” レベルであるため、レジスタ回路 150 はデータレジスタに保持しているデータ “Qn+1 (Y1~Y4)” を同時にバス WRBA3~WRBA0 上へ出力する。そしてこれ以後はミスヒットの場合と全く同じ動作となり、バス WRBA3~WRBA0 上に出力されているデータ “Qn+1 (Y1~Y4)” が順次外部へ出力されてゆく。

このように、本実施形態では時刻 t13 までに4データ全ての読み出しが完了しているため、最初アドレス “Y1” (時刻 t10~t41) に比べて2番目以降のアドレス “Y2” ~ “Y4” (時刻 t41~t43, 時刻 t43~t45, 時

刻 $t_{45} \sim t_{47}$) を高速に変化させることができる。このため、最初のデータのアドレスアクセス時間(時刻 $t_{10} \sim t_{13}$) に比べて2番目以降のアドレスアクセス時間(時刻 $t_{41} \sim t_{42}$, 時刻 $t_{43} \sim t_{44}$, 時刻 $t_{45} \sim t_{46}$) も短くできる。

そして、本実施形態のページ読み出し動作では、バス WRB_i 上にメモリセルのデータが出力されるようになった時点でメモリセルアレイ7からの読み出し動作を終了させてリフレッシュ動作に移行している。このため、半導体記憶装置外部に対してページ読み出しを行っている最中にメモリセルアレイ7に対するリフレッシュを完了させることができる。したがって、外部から見たときにリフレッシュ期間が完全に見えなくなってサイクルタイムをそれだけ短縮することが可能となる。

次に、図14のタイミングチャートを参照しながらページ書き込み動作について説明する。同図の動作も第1実施形態で説明した図2の動作に準じているため、以下では図2との相違点について説明する。ここで、前提条件として図14に示したよりも以前のメモリサイクルにおいて、アドレス $UAddress$ が " A_x " である4つのアドレスに対してデータ " $Q_x (Y_1 \sim Y_4)$ " の書き込み要求があったものとする。このため、レジスタ回路3内のアドレスレジスタにはアドレス " A_x " が保持され、レジスタ回路150内のデータレジスタにはデータ " $Q_x (Y_1 \sim Y_4)$ " が保持されているものとする。

まず時刻 $t_1 \sim t_4$ までは図2と同じ動作となる。ただし本実施形態では、書き込みイネーブル信号 $/WE$ が時刻 t_2 で立ち下がると、レジスタ回路150はデータレジスタに保持されているデータ " $Q_x (Y_1 \sim Y_4)$ " をそれぞれバス $WRB_3 \sim WRB_0$ へ同時に送出する。そして、時刻 t_4 になってレイトライト動作が開始されると、アドレス " A_x " から始まる4つのアドレスに対してそれぞれデータ " $Q_x (Y_1 \sim Y_4)$ " が書き込まれる。

この後に時刻 t_5 となると、アドレス " $A_n (Y_1)$ " ($Y_1 = "11" B$) に対する書き込みデータ " $Q_n (Y_1)$ " がバス I/O 上に供給される。この時点で制御信号 CWO は " L " レベルであるため、 I/O バッファ13はバス I/O 上のデータをそのままバス WRB_X 上に出力する。次に時刻 t_7 で書き込みイネー

ブル信号／WEが立ち上がるが、本実施形態ではこの時点でアドレスレジスタ、データレジスタへの取り込みは行わない。そして時刻 t_{51} でバスセクタ 153は、バスデコード 152からのバス選択信号で指定されるバスWRBA3に対応した内部のラッチ回路へデータ“Qn (Y1)”をラッチするとともに、この書き込みデータをバスWRBA3に送出する。

この後、アドレス PageAddress だけを適宜変更してゆくのに伴って書き込みデータが順次供給される。すなわち、時刻 t_{52} でアドレス PageAddress が“Y2”(=“10”B)に変化し、時刻 t_{53} になるとアドレス“An (Y2)”に対する書き込みデータ“Qn (Y2)”がバスI/Oを通じてバスWRBX上に送出される。そして、時刻 t_{54} で書き込みイネーブル信号／WEが立ち下げられる。しかしこの場合はアドレス Uaddress が変化していないため、アドレス変化検出信号ATDにワンショットパルスは生成されておらず、レイトライトもリフレッシュも行われない。

この後の時刻 t_{55} で書き込みイネーブル信号／WEが立ち上がると、バスセクタ 153は時刻 t_{56} でバスWRBA2に対応した内部のラッチ回路へデータ“Qn (Y2)”をラッチするとともに、この書き込みデータをバスWRBA2に送出する。以後も同様であって、時刻 t_{57} でアドレス PageAddress が“Y3”(=“01”B)に変化し、時刻 t_{58} でアドレス“An (Y3)”に対する書き込みデータ“Qn (Y3)”がバスWRBX上に送出され、時刻 t_{59} で書き込みイネーブル信号／WEが立ち下げられる。

次に、時刻 t_{60} で書き込みイネーブル信号／WEが立ち上がると、バスセクタ 153は時刻 t_{61} でバスWRBA1に対応したラッチ回路へデータ“Qn (Y3)”をラッチするとともに、このデータをバスWRBA1に送出する。次に、時刻 t_{62} でアドレス PageAddress が“Y4”(=“00”B)に変化し、時刻 t_{63} でアドレス“An (Y4)”に対する書き込みデータ“Qn (Y4)”がバスWRBX上に出力され、時刻 t_{64} で書き込みイネーブル信号／WEが立ち下げられる。

次に、時刻 t_{65} で書き込みイネーブル信号／WEが立ち上がり、時刻 t_{66} でバスセクタ 153はバスWRBA0に対応したラッチ回路へデータ“Qn (Y

4) をラッチするとともに、このデータをバスWRBA0に送出する。次に、時刻 t_{65} で書き込みイネーブル信号/WEが立ち上がったことを受けて、R/W制御回路154は制御信号LW1, LW2とともに立ち下げる。この結果、レジスタ回路3はアドレスLC_ADDの値“An”をアドレスレジスタに取り込み、レジスタ回路150はバスWRBA3~WRBA0上のデータ“Qn(Y1~Y4)”を内部のデータレジスタに取り込む。これにより、次に書き込み要求があったときのレイトライトに使用されるアドレス、データが揃う。以上によって1回分のページ書き込み動作が完了する。

以上のように、ページ書き込みの場合にも、最初のアドレス(時刻 $t_3 \sim t_5$ 2)に比べて2番目以降のアドレス(時刻 $t_{52} \sim t_{57}$, $t_{57} \sim t_{62}$, $t_{62} \sim t_{65}$)を高速に変化させることができる。また、最初のデータの書き込み時間(時刻 $t_2 \sim t_7$)に比べて2番目以降の書き込み時間(時刻 $t_{54} \sim t_{55}$, $t_{59} \sim t_{60}$, $t_{64} \sim t_{67}$)も短くなる。そして、本実施形態のページ書き込み動作では、個々のページが4データ(ページアドレスが2ビット)で構成されている場合、データQx(Y1~Y4)をバスWRB3~WRB0に対応したレジスタ回路150内のデータレジスタに格納しておいて、これら4データの全てをメモリセルアレイ7へ一括して書き込むことができる。

またこの一括書き込みはレイトライトであることから、実際にページ書き込みを行うメモリサイクル中の早いタイミングで書き込み動作が完了し、ページ読み出しの場合とほぼ同様のタイミングでリフレッシュ動作に移行できる。このため、外部からページ書き込みのためのデータを供給している間にリフレッシュ動作を完結することができ、読み出しの場合と同様に外部から見たときにリフレッシュ期間が完全に見えなくなり、サイクルタイムの短縮に効果的である。

なお、上述した説明では、2回目以降のアドレス PageAddress (Y2~Y4)に比べて1回目のアドレス PageAddress (Y1)の保持期間を長くとり、これに対応して書き込みパルスの幅も1回目のものを広くとっている。しかし、本実施形態ではレイトライトを行っており、図14に示したタイミングにおいてアドレス PageAddress および書き込みイネーブル信号/WEは書き込みデータの取り込みのためにだけ使用される。したがって、1回目のアドレス PageAddress の

保持期間及び書き込みパルスと2回目以降の保持期間及び書き込みパルスと同じようにもっと狭くしても良い。さらには、2回目以降の保持期間及び書き込みパルスについても図示した幅よりさらに短くしても良い。

また、上述した説明では、図13に示したページ読み出しを行うにあたって、アドレス変化検出信号ATDの立ち下がりバスWRBA_i上のデータをバスセクタ153内のラッチ回路に取り込んでいた。しかしその代わりに、時刻t41でアドレスPageAddressが“Y1”から“Y2”に変化したタイミングを捉えて、バスセクタ153内のラッチ回路へ取り込むようにしても良い。図15はこうした変形例による半導体記憶装置の構成を示したブロック図であって、図12と同じ構成要素については同一の符号を付してある。

図12と相違する点は、アドレスPageAddressの変化を検出するために、ATD回路143とは別に専用のATD回路155を設けていることである。このATD回路155はアドレスPageaddressの変化を検出した場合に、アドレス変化検出信号/ATDPに負のワンショットパルスを発生させる。その際、アドレスUaddressが変化したのち、最初にアドレスPageaddressが変化したタイミングでだけワンショットパルスを発生させる必要がある。

そのために、ATD回路155はアドレス変化検出信号ATDの立ち上がりを検出した後にアドレスPageaddressが変化したときにだけアドレス変化検出信号/ATDPにワンショットパルスを発生させる。そして以後ATD回路155は再びアドレス変化検出信号ATDが立ち上がるまでは、たとえアドレスPageaddressが変化してもアドレス変化検出信号/ATDPにワンショットパルスを発生させないようにする。このほか、バスセクタ153にはアドレス変化検出信号ATDの代わりにアドレス変化検出信号/ATDPを供給する。そして、バスセクタ153はアドレス変化検出信号/ATDPに発生する負のワンショットパルスの立ち下がりを検出して、バスWRBA_i上の読み出しデータを内部のラッチ回路へ取り込むようにする。

また、上述したように図13又は図14ではリフレッシュを1回だけ行うようにしていた。しかし例えば図13において、時刻t40から始まったリフレッシュが完了すると、時刻t48（次のメモリサイクルのアドレススキュー期間の終

アタイミング) までの間はメモリセルアレイ 7 に対するアクセスは為されない。したがって、図 1 3 又は図 1 4 に存在する空き時間を利用して複数回のリフレッシュを行うようにしても良い。

〔第 5 実施形態〕

本実施形態は、第 4 実施形態で説明したページモード動作に機能限定を加えたバースト動作を行うためのものである。バーストモードは、アドレス Address のうちの下位アドレスを変化させて高速に読み出し又は書き込みを行う点ではページモードと同じである。しかしながら、バーストモードとページモードではアドレスの与え方が異なっている。すなわち、ページモード動作では全ての下位アドレスを外部から直接入力する仕様であるため、下位アドレスの順序を外部からランダムに指定することが可能である。

例えば第 4 実施形態ではアドレス Pageaddress を “1 1” B ~ “0 0” B の順に与えていたが、これを例えば “1 0” B, “0 1” B, “0 0” B, “1 1” B などの順番としても良い。これに対してバーストモードでは、外部から与える下位アドレスの情報はバースト動作の開始時に使用される下位アドレスだけである。つまりバーストモードでは、バースト動作を開始させるためのトリガに対応して、開始時に与えられる以外の下位アドレスを内部で順次生成しており、下位アドレスの発生順序は予め決められたものとなる。

ここで、下位アドレスの発生順序にはリニア方式、インターリーブ方式などが代表的である。このうち前者はアドレスを “1” ずつ増加させてゆく手法である。例えば下位アドレスが 2 ビットである場合、開始アドレスの値に応じて例えば以下のように下位アドレスを順次生成してゆく。

(開始アドレス)

(下位アドレス)

“0 0” B : “0 0” B → “0 1” B → “1 0” B → “1 1” B

“0 1” B : “0 1” B → “1 0” B → “1 1” B → “0 0” B

“1 0” B : “1 0” B → “1 1” B → “0 0” B → “0 1” B

“1 1” B : “1 1” B → “0 0” B → “0 1” B → “1 0” B

一方、後者は半導体記憶装置をインターリーブ動作させる場合に適したものであって、開始アドレスの値に応じて例えば以下のように下位アドレスを順次生成

してゆく。

(開始アドレス)

(下位アドレス)

“00” B : “00” B → “01” B → “10” B → “11” B
 “01” B : “01” B → “00” B → “11” B → “10” B
 “10” B : “10” B → “11” B → “00” B → “01” B
 “11” B : “11” B → “10” B → “01” B → “00” B

次に、図16は本実施形態による半導体記憶装置の構成を示したブロック図であって、図12(第4実施形態)と同じ構成要素については同一の符号を付してある。図16では図12の構成に対してバースト制御回路161及びバーストアドレス発生回路162を追加している。また、アドレス Address の下位アドレスはバースト動作の開始アドレスを指定するため、図12に示した Pageaddress の代わりに StartAddress と表記してある。

バースト制御回路161は、出力イネーブル信号OE(読み出しの場合)又は書き込みイネーブル信号WE(書き込みの場合)をトリガとして、アドレス変化検出信号ATDの立ち上がりから4個のトリガ信号を出力する。なお、これらトリガ信号が発生するタイミングは後述する動作説明のところで詳述する。次に、バーストアドレス発生回路162は、4つのトリガ信号のうちの最初のものが与えられたときにアドレスバッファ151から出力されているアドレスを開始アドレスと見なして、以後はトリガ信号が与えられる度に、上述したリニア方式又はインターリーブ方式に従って下位アドレスを発生させてゆく。

次に、上記構成による半導体記憶装置の動作を説明する。最初に図17を参照してバースト読み出し動作を説明するが、この動作は第4実施形態のページ読み出しの動作を基本としているため、ここでは図13との相違点について説明する。まず、アドレススキュー期間内の時刻 t_{9a} で出力イネーブル信号OEが有効化されると、バースト制御回路161はトリガ信号を出力可能な状態となる。この後、時刻 t_{10} になるとアドレス Uaddress として“ $A_n + 1$ ”が供給されるとともに、アドレス StartAddress として“Y1”が供給される。

そして時刻 t_{11} になってアドレス変化検出信号ATDが立ち上がると、バースト制御回路161はバーストアドレス発生回路162へトリガ信号を出力する。

これにより、バーストアドレス発生回路162はアドレスバッファ151から出力されているアドレス“Y1”を内部に取り込むとともに、これをバスデコーダ152に出力する。すると、第4実施形態と同じくアドレス“A_{n+1}”に対応した4アドレス分の読み出しが開始され、時刻t13になるとバスWRB0～WRB3上に現われたデータのうちのデータ“Q_{n+1}(Y1)”がバスWRBX上に出力される。

この後、時刻t40でアドレス変化検出信号ATDが立ち下がってリフレッシュ動作に移行する。次に、時刻t11から時間T_iが経過して時刻t71になると、バースト制御回路161は2個目のトリガ信号を出力し、バーストアドレス発生回路162はその出力を“Y2”に変化させる。なお、時間T_iはメモリセルアレイ7からの読み出しが完了する時刻t13以降に設定される。また、“Y1”が例えば“01”Bであって且つインターリーブ方式を採用するのであれば“Y2”は“00”Bとなる。そして、バスデコーダ152の出力するバス選択信号が変化すると、バスセクタ153は時刻t72でデータ“Q_{n+1}(Y2)”をバスWRBX上に出力するようになる。

ここで、本実施形態では下位アドレスが半導体記憶装置内部で予め決められたタイミングで変化してゆくため、ページアドレスが外部から与えられる図13の場合(時刻t41)とは異なるタイミング(この場合は時刻t41よりも早い時刻t71)で下位アドレスが“Y2”に変化する。そしてこれ以後も同様であって、バースト制御回路161が3個目、4個目のトリガ信号を時刻t71から時間T_i'後の時刻t73、この時刻t73から時間T_i'後のt75でそれぞれ出力すると、バーストアドレス発生回路162は自身の出力をそれぞれ“Y3”、“Y4”と変化させてゆき、これに対応してバスWRBX上にはそれぞれ時刻t74、t76でデータ“Q_{n+1}(Y3)”、“Q_{n+1}(Y4)”が出力される。

ここで、本実施形態でも時刻t13までに4データ全ての読み出しが完了している。このため、図示したように時間T_i'を上記時間T_iよりも短く(例えば時間T_iの“1/2”)設定しておけば、ページモードの場合と同じく、最初のデータのアドレスアクセス時間(時刻t10～t13)に比べて2番目以降のデータのアドレスアクセス時間(時刻t71～t72、時刻t73～t74、時刻t

75～t76)も短くすることができる。

さて、次に図18を参照してバースト書き込みの動作について説明する。この場合もページ書き込み動作を基本としているため図14との相違点を中心に説明する。なお、ここではリニア方式を採用することを想定し、アドレスY1が“11”B(したがってアドレスY2～Y4はそれぞれ“00”B～“10”B)であるとする。まず、アドレススキュー期間内の時刻t2で図14と同様に書き込みイネーブル信号／WEが有効化されると、バースト制御回路161はトリガ信号を出力可能な状態となる。この後、時刻t3になるとアドレスUaddressとして“A_n”が供給されるとともに、アドレスStartAddressとして“Y1”が供給される。

そして時刻t4になってアドレス変化検出信号ATDが立ち上がると、バースト制御回路161はトリガ信号を出力するので、バーストアドレス発生回路162はアドレスバッファ151から出力されるアドレス“Y1”を取り込んでバスデコーダ152に出力する。これにより、第4実施形態と同じくアドレス“A_x”に対応した4つのアドレスに対してデータ“Q_x(Y2～Y4, Y1)”が同時にレイトライトされる。この後、時刻t5でアドレスA_n(Y1)に対する書き込みデータ“Q_n(Y1)”がバスI/O上に供給され、時刻t6でアドレス変化検出信号ATDが立ち下がってリフレッシュ動作に移行する。

次に、時刻t4から時間T_jが経過して時刻t81になると、バースト制御回路161は2個目のトリガ信号を出力するので、バーストアドレス発生回路162はその出力を“Y2”に変化させる。そして時刻t82になると、バスセクタ153は、時刻t7で書き込みイネーブル信号／WEが立ち上がったことを受け、バスWRBA3に対応した内部のラッチ回路へデータ“Q_n(Y1)”をラッチするとともに、このデータをバスWRBA3に送出する。

次に時刻t83になると、下位アドレスが“Y2”に変化したことに対応してデータ“Q_n(Y2)”がバスI/O上に供給されるようになる。また時刻t87になると、バスセクタ153は時刻t85で書き込みイネーブル信号／WEが立ち上がったことに対応して、(この場合はアドレス“Y2”が“00”Bであるため)バスWRBA0に対応した内部のラッチ回路へデータ“Q_n(Y2)”をラ

ッチするとともに、このデータをバスWRBA0に送出する。

これ以後も同様であって、バースト制御回路161が3個目、4個目のトリガ信号を時刻 t_{81} から時間 T_j '後の時刻 t_{86} 、この時刻 t_{86} から時間 T_j '後の時刻 t_{91} でそれぞれ出力すると、バーストアドレス発生回路162は自身の出力をそれぞれ“Y3”、“Y4”と変化させ、これに対応するようにバスWRBX上にはそれぞれ時刻 t_{89} 、 t_{94} でデータ“ $Q_n(Y3)$ ”、“ $Q_n(Y4)$ ”が出力される。また、時刻 t_{90} 、 t_{95} で書き込みイネーブル信号/WEが立ち上がることを受けて、バスセクタ153はそれぞれ時刻 t_{93} 、 t_{96} で、(この場合はアドレス“Y3”、“Y4”がそれぞれ“01”B、“10”Bであるため)バスWRBA1, WRBA2に対応したラッチ回路へデータ“ $Q_n(Y3)$ ”、“ $Q_n(Y4)$ ”をラッチするとともに、これらをバスWRBA1, WRBA2に送出する。

なお、本実施形態においてもページモードのときと同様に、1回目の下位アドレスの保持期間(時間 T_j)及び書き込みパルスをもっと狭くしても良い。さらには、2回目以降の保持期間(T_j ')及び書き込みパルスについても図18に示した幅よりさらに短くしても良い。

以上のように、本実施形態では連続アクセスを行う場合に下位アドレスとして開始アドレス(StartAddress)だけを与えれば良く、ページモードに比べて半導体記憶装置外部における制御が簡単になる。また、バースト動作を行う一般的な半導体記憶装置では動作開始のトリガとして同期式のクロック信号を用いているが、上述したようにクロック信号に従って動作させると消費電力が増大してしまう。これに対し本実施形態では、バースト動作開始のトリガとして出力イネーブル信号OE又は書き込みイネーブル信号/WEを使用しており、クロック信号をトリガとはしていない。このため、本実施形態によれば消費電力を低減することができ、携帯電話などの低消費電力用途の機器に適している。

〔第6実施形態〕

上述した各実施形態では、半導体記憶装置外部から供給されるパワーダウン制御信号 PowerDown に基づいてスタンバイモードを切り換えるようにしていた。

これに対し、本実施形態では予め決めておいたメモリセルアレイ 7 上の特定のアドレスに対してモード切り換え指示のためのデータを書き込むことによって、上述した各実施形態と同様のスタンバイモード切り換えを実現している。すなわち、本実施形態ではメモリセルアレイ 7 上の“0”番地（最下位番地）をモード切り換え専用のデータ格納領域としている。また、本実施形態では、スタンバイモード 2 に設定するためのデータが“F0”h（ここで「h」は 16 進数を意味する）であり、スタンバイモード 3 に設定するためのデータが“0F”h であるものとしている。したがって本実施形態ではバス WRB, WRBX のバス幅が 8 ビットになっている。

図 19 は本実施形態による半導体記憶装置の構成を示したブロック図であって、図 1 に示したものと同一構成要素および信号名については同一の符号を付してある。図 19 が図 1 と相違している点としては、パワーダウン制御信号 PowerDown を入力するためのピンが存在しないこと、スタンバイモード制御回路 201 が新たに追加されていること、リフレッシュ制御回路 204, ブースト電源 215, 基板電圧発生回路 216, リファレンス電圧発生回路 217 がそれぞれ図 1 に示したリフレッシュ制御回路 5, ブースト電源 18, 基板電圧発生回路 19, リファレンス電圧発生回路 20 と一部の構成が異なっていることが挙げられる。そこで以下、図 20～図 24 も参照しながらこれら各部の詳細について説明してゆく。なお、これら図 20～図 24 では図 1 又は図 19 に示したものと同一構成要素および信号名については同一の符号を付けている。

まず図 19 において、スタンバイモード制御回路 201 は内部アドレス LC_ADD, チップセレクト信号/CS, 書き込みイネーブル信号/WE, バス WRBX 上の書き込みデータに基づいてモード設定信号 MD2, MD3 を発生させる。このうち、モード設定信号 MD2 はスタンバイモード 2 に設定するときに“H”レベルとなる信号であって、リフレッシュ制御回路 204 に供給される。一方、モード設定信号 MD3 はスタンバイモード 2 又はスタンバイモード 3 に設定するときに“H”レベルとなる信号であって、ブースト電源 215, 基板電圧発生回路 216, リファレンス電圧発生回路 217 に供給される。なお、モード設定信号 MD2, MD3 が何れも“L”レベルであるときにスタンバイモード 1 である。

ここで、図20はスタンバイモード制御回路201の詳細構成を示した回路図である。同図において、データWRB0～WRB3, WRB4～WRB7は半導体記憶装置外部からバスWRBX上に供給される書き込みデータのビット0～3, 4～7である。そして、アンド(AND)ゲート221, ノアゲート222及びアンドゲート223から成る回路は、書き込みデータが“F0”hであるときにだけ“H”レベルを出力する。同様にして、ノアゲート224, アンドゲート225及びアンドゲート226から成る回路は、書き込みデータが“0F”hであるときにだけ“H”レベルを出力する。また、オアゲート227はアンドゲート233, 226の出力を論理和することにより、書き込みデータとして“F0”h又は“0F”hの何れかが入力されたときに“H”レベルを出力する。

次に、アドレスX0B～Y7Bは内部アドレスLC_ADDを構成する各ビットを反転させたアドレス値である。例えば、アドレスX0Bはロウアドレスのビット0を反転した値であり、アドレスY7Bはカラムアドレスのビット7を反転した値である。したがって、アンドゲート228は内部アドレスLC_ADDの各ビットが全て“0”B(つまり“0”番地)を検出したときにのみ“H”レベルを出力する。そして、アンドゲート229は“0”番地に対してデータ“F0”h又は“0F”hを書き込む場合にのみ、書き込みイネーブル信号/WEをクロックとしてそのまま出力する。また、アンドゲート230は“0”番地へデータ“0F”hを書き込む場合にのみ書き込みイネーブル信号/WEをそのままクロックとして出力する。

次に、インバータ231～236及びアンドゲート237から成る回路は、チップセレクト信号/CSの立ち下がりエッジを捕らえて信号CEOSにワンショットパルスを発生させる。次に、ラッチ238はアンドゲート229の出力が立ち上がってC端子にクロックが入力されたときに、D端子に供給された電源電位に対応する“H”レベルをモード設定信号MD2としてQ端子から出力する。また、ラッチ238はR端子に供給される信号CEOSにワンショットパルスが発生したときに、自身をリセットしてモード設定信号MD2に“L”レベルを出力する。ラッチ239も同様の構成であって、アンドゲート230の出力が立ち上がったときにモード設定信号MD3へ“H”レベルを出力し、信号CEOSにワ

ンショットパルスが発生したときにモード設定信号MD 3へ“L”レベルを出力する。

以上のように、スタンバイモード2に設定する場合は、書き込みイネーブル信号／WEの立ち上がりに同期してアンドゲート229の出力が立ち上がってDタイプのラッチ238がセットされ、モード設定信号MD 2が“H”レベルとなる。また、スタンバイモード3に設定する場合には、書き込みイネーブル信号／WEの立ち上がりに同期してアンドゲート229、230の出力が何れも立ち上がってラッチ238、239がともにセットされ、モード設定信号MD 2及びモード設定信号MD 3がともに“H”レベルとなる。

次に、図19に示したリフレッシュ制御回路204は、パワーダウン制御信号PowerDownの代わりにチップセレクト信号／CS及びモード設定信号MD 2を用いて、リフレッシュアドレスR_ADD，リフレッシュ制御信号REF A，REF Bを発生させる。ここで、図21はリフレッシュ制御回路204の詳細構成を示した回路図である。図中、Pチャネルのトランジスタ240はゲート端子、ソース端子、ドレイン端子がそれぞれアンドゲート241の出力、電源電位、リフレッシュ制御回路5の電源供給ピンに接続されている。このため、アンドゲート241の出力が“L”レベルであればトランジスタ240がオンしてリフレッシュ制御回路5に電源を供給し、同出力が“H”レベルであればトランジスタ240がカットオフして電源供給を停止させる。

アンドゲート241は半導体記憶装置が非選択状態（チップセレクト信号／CSが“H”レベル）、かつ、スタンバイモード2又はスタンバイモード3（モード設定信号MD 2が“H”レベル）のときに、トランジスタ240をカットオフさせる。次に、インバータ242はモード設定信号MD 2の反転信号を生成するものであって、スタンバイモード1のときにその出力が“H”レベルとなる。アンドゲート243は、スタンバイモード1ではリフレッシュ制御回路5が発生させるリフレッシュアドレスR_ADDをそのまま出力する一方、スタンバイモード2又はスタンバイモード3では同アドレスを“0”に固定させる。

アンドゲート244はスタンバイモード1ではリフレッシュ制御回路5が発生させるリフレッシュ制御信号REF Aをそのまま出力する一方、スタンバイモー

ド2又はスタンバイモード3では同信号を“L”レベルに固定する。また、インバータ245はインバータ242の出力を反転するため、スタンバイモード1のときに“L”レベルを出力する。オアゲート246はスタンバイモード1ではリフレッシュ制御回路5が発生させるリフレッシュ制御信号REFBをそのまま出力する一方、スタンバイモード2又はスタンバイモード3では同信号を“H”レベルに固定する。

次に、図22～図24はそれぞれブースト電源215、基板電圧発生回路216、リファレンス電圧発生回路217の詳細構成を示した回路図である。ブースト電源215において、Pチャネルのトランジスタ250、アンドゲート251はそれぞれ図21に示したトランジスタ240、アンドゲート241と同一の機能を有している。すなわち、半導体記憶装置が非選択状態（チップセレクト信号／CSが“H”レベル）、かつ、スタンバイモード3（モード設定信号MD3が“H”レベル）のときに、トランジスタ250をカットオフしてブースト電源18に対する電源供給を停止させ、これ以外の場合にはブースト電源18に電源を供給する。以上のことは基板電圧発生回路216、リファレンス電圧発生回路217についても全く同じであって、これらの回路を構成するトランジスタ252、254はブースト電源215内のトランジスタ250に対応し、アンドゲート253、255はブースト電源215内のアンドゲート251に対応している。

上記構成による半導体記憶装置におけるスタンバイモード切り換え時の動作は次のようになる。

① スタンバイモード1

半導体記憶装置をスタンバイモード1に設定するにはチップセレクト信号／CSを立ち下げれば良い。そうすることで、スタンバイモード制御回路201はチップセレクト信号／CSの立ち下がりエッジからワンショットパルスが発生させてラッチ238、ラッチ239をリセットし、モード設定信号MD2、MD3を何れも“L”レベルとする。

これにより、リフレッシュ制御回路204ではトランジスタ240がオンして内部のリフレッシュ制御回路5へ電源が供給されるとともに、リフレッシュ制御回路5が生成させるリフレッシュアドレスR_ADD、リフレッシュ制御信号RE

FA, REFBがそのまま出力されるようになる。また、ブースト電源215, 基板電圧発生回路216, リファレンス電圧発生回路217でもそれぞれ内部のブースト電源18, 基板電圧発生回路19, リファレンス電圧発生回路20に電源が供給されるようになる。以上の動作が行われることで、上述した各実施形態で説明したような動作が可能となる。

② スタンバイモード2

スタンバイモード2へ設定するには上述したように“0”番地へ“F0”hのデータを書き込めば良い。これにより、スタンバイモード制御回路201は書き込みイネーブル信号/WEの立ち上がりエッジからモード設定信号MD2を“H”レベルにする。この時点で半導体記憶装置が選択されていないか、あるいは、その後を選択されなくなるとチップセレクト信号/CSが“H”レベルとなるため、リフレッシュ制御回路204は内部のリフレッシュ制御回路5に対する電源供給を停止させる。

また、リフレッシュ制御回路5に対する電源供給がなくなったことでその出力が不定となることから、リフレッシュ制御回路204はリフレッシュアドレスR_ADDを“0”に固定させるとともに、リフレッシュ制御信号REFA, REFBのレベルをそれぞれ“L”レベル, “H”レベルに固定させる。またこの時点ではチップセレクト信号/CSが“H”レベルであるため、ATD回路4は内部アドレスLC_ADDの各ビットが変化してもアドレス変化検出信号ATDにワンショットパルスを発生させずに“L”レベルのままとする。

このため、ロウ制御回路16はロウイネーブル信号RE, センスアンブイネーブル信号SE, プリチャージイネーブル信号PE, 制御信号CCを何れも“L”レベルに固定させる。したがって、カラムイネーブル信号CE, ラッチ制御信号LCも“L”レベルのままとなる。一方、リフレッシュ制御信号REFBが“H”レベルに固定され、なおかつ、アドレス変化検出信号ATDが“L”レベルに固定されることから、マルチプレクサ6は内部アドレスL_ADD側を選択し続けるようになる。以上のようにして、リフレッシュ動作が中断されて消費電流が削減される。なお、このときモード設定信号MD3は“L”レベルのままであるため、ブースト電源18, 基板電圧発生回路19, リファレンス電圧発生回路20（図

22～図24参照)には電源が供給され続ける。

③ スタンバイモード3

スタンバイモード3へ設定するには上述したように“0”番地へ“0F”hのデータを書き込めば良い。これにより、スタンバイモード制御回路201は書き込みイネーブル信号/WEの立ち上がりエッジからモード設定信号MD2及びモード設定信号MD3をともに“H”レベルとする。このため、チップセレクト信号/CSが“H”レベルになった時点で、スタンバイモード2のときと同様にリフレッシュ制御回路204は内部のリフレッシュ制御回路5に対する電源供給を停止させる。これと同時に、ブースト電源215、基板電圧発生回路216、リファレンス電圧発生回路217はそれぞれ内部のブースト電源18、基板電圧発生回路19、リファレンス電圧発生回路20に対する電源供給を停止させる。これによって、スタンバイモード2と同様にリフレッシュ制御が中断されるのに加えて、電源系制御回路の電流もカットされてさらに消費電流が低減する。

以上のように、本実施形態では第1実施形態で説明したパワーダウン制御信号PowerDownのような信号を半導体記憶装置外部から与える必要がないため、その分だけピン数を削減することができる。なお、上述した説明では第1実施形態をもとに説明したが、同様のことをそのまま第2実施形態以降に適用しても良い。のみならず、上述した各実施形態で説明したスタンバイモードの制御を疑似SRAMなどの既存の半導体記憶装置に適用しても良い。

〔変形例〕

上述した各実施形態ではメモリセルアレイ7の各メモリセルが1トランジスタ1キャパシタで構成されているものとしたが、メモリセルの構成がこうした形態に限定されるものではない。確かに、チップサイズ等の点からはこうしたメモリセルが最も好ましいが、本発明の半導体記憶装置では1トランジスタ1キャパシタ以外のメモリセルの使用を否定するものではない。すなわち、汎用SRAMのメモリセルよりも構成の小さなDRAMメモリセルであれば、1トランジスタ1キャパシタ構成でなくとも汎用SRAMに比べてチップサイズを削減できる効果がある。また、上述した各実施形態では例えばアドレス変化検出信号ATDに発生するワンショットパルスの立ち下がりエッジからリフレッシュを行うようにし

ていたが、ワンショットパルスの論理を反転させてその立ち上がりエッジからリフレッシュを行うようにしても良い。これは、アドレス変化検出信号A T D以外の各信号についても全く同様である。

また、上述した各実施形態による半導体記憶装置は、例えば図 1 に示した回路全体が単一のチップ上に実装されている形態であって良いのはもちろんであるが、回路全体が幾つかの機能ブロックに分割されていて各機能ブロックが別々のチップに実装されているような形態であっても良い。後者の例としては、各種の制御信号やアドレス信号を発生させる制御部分とメモリセル部分とが別々のチップ（コントロールチップとメモリチップ）に搭載された混載 I C（集積回路）が考えられる。つまり、メモリチップの外部に設けたコントロールチップから各種の制御信号をメモリチップへ供給するような構成も本発明の範疇に属する。

産業上の利用の可能性

本発明は以下の特徴を有する半導体記憶装置を実現するための技術を提供する。

- ・リフレッシュによって通常の読み出し・書き込みアクセスが遅くなるといったことがない。
- ・アドレスにスキューが存在するような場合にもアクセス遅延が生じたりメモリセルが破壊されたりといった不具合を生じることがない。
- ・書き込み時間の削減によってメモリサイクル全体を短縮することができる。
- ・汎用 S R A M 仕様で動作し大容量化してもチップサイズが小さく低消費電力であってなお且つ安価である。
- ・汎用 S R A M で採用されているのと同等のスタンバイモードや既存の半導体記憶装置には見られない独特の低消費電力モードを持つ。

請求の範囲

1. リフレッシュを必要とするメモリセルで構成されたメモリセルアレイと、
アクセスアドレスに対する読み出し又は書き込みを前記メモリセルアレイへ行った後に、前記メモリセルアレイのリフレッシュを行うアクセス回路と、
前記アクセスアドレスに対して非同期的に与えられる書き込み要求および書き込みデータが入力されるメモリサイクルよりも後の時点において、該メモリサイクルで与えられた前記アクセスアドレス及び前記書き込みデータを用いた書き込みをレイトライトで前記アクセス回路に行わせる制御回路と
を具備する半導体記憶装置。
2. 前記制御回路は、先行する前記書き込み要求の次の書き込み要求が与えられたメモリサイクルにおいて、該先行する書き込み要求に対応した書き込みをレイトライトで行わせる請求項1記載の半導体記憶装置。
3. 前記制御回路は、前記書き込み要求の与えられたメモリサイクルで前記書き込み要求が無くなったときに、該メモリサイクルで与えられた前記アクセスアドレス及び前記書き込みデータを取り込んで前記レイトライトに用いる請求項1記載の半導体記憶装置。
4. 前記制御回路は、チップが非選択状態又は非活性化状態にあることを検出し、該非選択状態又は該非活性化状態において前記レイトライトを行わせる請求項1記載の半導体記憶装置。
5. チップが非選択状態から選択状態に移行したか、又は、前記アクセスアドレスが変化したことを検出するアドレス変化検出回路を備え、
前記制御回路は、該検出の時点を基準として、前記選択・非選択状態を制御するチップ選択信号又は前記アクセスアドレスの少なくとも一方に含まれるスキューの最大値以上に設定したスキュー期間が経過した後に、前記読み出し又は前記

書き込みを開始させる請求項 1 記載の半導体記憶装置。

6. リフレッシュを必要とするメモリセルで構成されたメモリセルアレイと、

アクセスアドレスに対する読み出し、又は、前記アクセスアドレスに対して非同期的に与えられる書き込み要求及び書き込みデータをもとにした前記アクセスアドレスへの書き込みを前記メモリセルアレイへ行った後に、前記メモリセルアレイのリフレッシュを行うアクセス回路と、

チップが非選択状態から選択状態に移行したか、又は、前記アクセスアドレスが変化したことを検出するアドレス変化検出回路と、

該検出の時点を基準として、前記選択・非選択状態を制御するチップ選択信号又は前記アクセスアドレスの少なくとも一方に含まれるスキューの最大値以上に設定したスキュー期間が経過した後に、前記読み出し又は前記書き込みを開始させる制御回路と

を具備する半導体記憶装置。

7. 前記制御回路は、前記書き込み要求が与えられるか否かが確定している時点以降に前記スキュー期間の終了タイミングを設定した請求項 5 又は 6 記載の半導体記憶装置。

8. リフレッシュを必要とするメモリセルで構成されたメモリセルアレイと、

同一のメモリサイクルにおいて、アクセスアドレスに対する読み出し又は書き込みを前記メモリセルアレイへ行った後に、前記メモリセルアレイのリフレッシュを行うアクセス回路と、

チップが非選択状態から選択状態に移行したか、又は、前記アクセスアドレスが変化したことを検出するアドレス変化検出回路と、

該検出の時点を基準として、前記選択・非選択状態を制御するチップ選択信号又は前記アクセスアドレスの少なくとも一方に含まれるスキューの最大値以上の長さを有するスキュー期間の終了タイミングを、前記アクセスアドレスに対して非同期的に与えられる書き込み要求及び書き込みデータが確定している時点以降

に設定する制御回路と

を具備する半導体記憶装置。

9. 前記制御回路は、読み出し要求又は書き込み要求があった現メモリサイクルよりも前のメモリサイクルで開始された書き込み、読み出し又はリフレッシュが前記現メモリサイクルにおけるスキュー期間の終了タイミングまでに完了していない場合、前記書き込み、読み出し又はリフレッシュが完了するまで前記現メモリサイクルにおける書き込み又は読み出しの開始を遅らせる請求項5, 6, 8の何れかの項記載の半導体記憶装置。

10. 前記アクセス回路は、読み出し又は書き込み後のリフレッシュを複数のメモリサイクルに1回だけ行い、

前記制御回路は、該リフレッシュが行われたメモリサイクルの後続のメモリサイクルの書き込み又は読み出しの開始を遅らせる請求項9記載の半導体記憶装置。

11. 前記アクセス回路は前記メモリセルアレイ上の複数のアドレスに対して同時に読み出し又はレイトライトを行い、

前記制御回路は、前記読み出しによって得られた複数の読み出しデータを順次外部へ出力する動作、又は、次のレイトライトのために外部から入力される複数の書き込みデータを順次取り込む動作を前記リフレッシュと並行して行わせる請求項1, 6, 8の何れかの項記載の半導体記憶装置。

12. 前記制御回路は、前記アクセスアドレスのうちの上位所定ビットの変化を検出し、前記読み出し又は前記レイトライトを行う際に、前記アクセスアドレスのうち前記上位所定ビットが同一である前記複数のアドレスに対して、前記アクセスアドレスのうち前記上位所定ビット以外のビットからなる下位アドレスを変化させて、前記複数の読み出しデータを連続的に出力し又は前記複数の書き込みデータを連続的に取り込む請求項11記載の半導体記憶装置。

13. 前記制御回路は、外部から与えられる前記下位アドレスに従って、前記複数の読み出しデータを連続的に出力し、または、前記複数の書き込みデータを連続的に取り込む請求項12記載の半導体記憶装置。

14. 前記制御回路は、外部から与えられる前記下位アドレスの初期値をもとに予め決められた順番に従って前記下位アドレスを変化させながら、前記複数の読み出しデータを連続的に出力し、又は、前記複数の書き込みデータを連続的に取り込む請求項12記載の半導体記憶装置。

15. 前記制御回路は、チップが非選択状態又は非活性化状態にあることを検出し、該非選択状態又は該非活性化状態において前記リフレッシュを行わせる請求項1, 6, 8の何れかの項に記載の半導体記憶装置。

16. 前記リフレッシュの制御を行う前記アクセス回路及び前記制御回路内の回路と、前記リフレッシュの対象となるメモリセルを示すリフレッシュアドレスを生成し、前記リフレッシュを行う度に該リフレッシュアドレスを更新するリフレッシュアドレス生成回路とを有するリフレッシュ制御回路と、

装置内の各部に供給する電圧を発生させる電圧発生回路と、

前記リフレッシュ制御回路及び前記電圧発生回路の双方に電源を供給する第1のモード、前記リフレッシュ制御回路に対する電源の供給を停止するとともに前記電圧発生回路に電源を供給する第2のモード、前記リフレッシュ制御回路及び前記電圧発生回路の双方に対する電源の供給を停止する第3のモードの何れかに切り換え、該切り換えられたモードに応じて前記リフレッシュ制御回路及び前記電圧発生回路へ電源供給を行うか否かをそれぞれ制御するモード切り換え回路とをさらに備えた請求項1, 6, 8の何れかの項記載の半導体記憶装置。

17. 前記モード切り換え回路は、所定のアドレスに対してモード毎に予め決められたデータの書き込みが行われたことを検出してモードの切り換えを行う請求項16記載の半導体記憶装置。

18. リフレッシュを必要とするメモリセルで構成されたメモリセルアレイと、アクセスアドレスに対する書き込みサイクルに付随して前記メモリセルアレイのリフレッシュを行うと共に、前記書き込みサイクルに付随するリフレッシュが行われてから所定の時間が経過した後に前記メモリセルアレイのリフレッシュを自発的に行うアクセス回路と、

前記アクセスアドレスに対して非同期的に与えられる書き込み要求および書き込みデータが入力されるメモリサイクルよりも後の時点において、該メモリサイクルで与えられた前記アクセスアドレス及び前記書き込みデータを用いた書き込みをレイトライトで前記アクセス回路に行わせる制御回路と

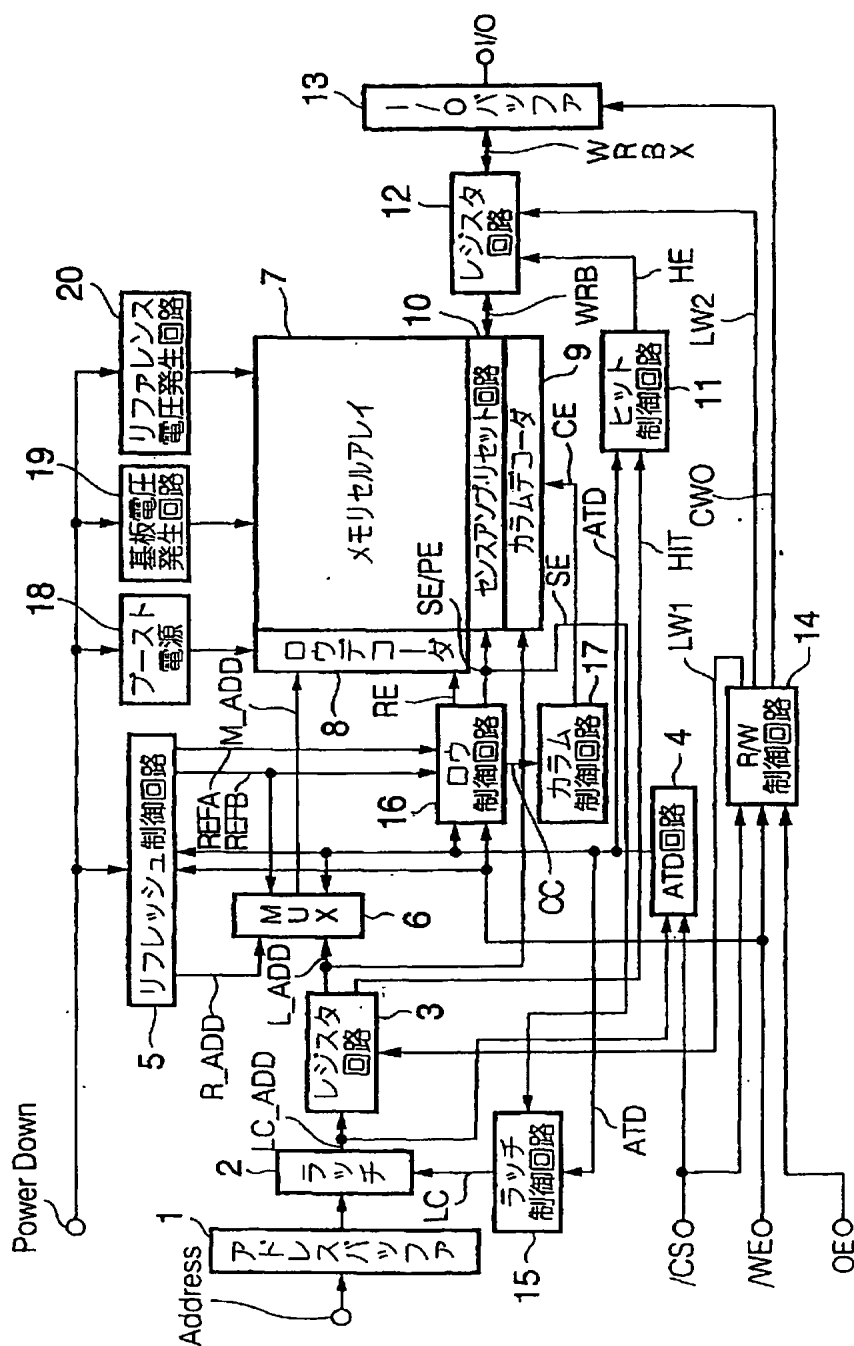
を具備する半導体記憶装置。

19. 前記アクセス回路は、前記アクセスアドレスに対する書き込みサイクル内において、前記アクセスアドレスで指定されるメモリセルアレイ上のワード線を一時的に選択した後に、自発的なリフレッシュを行う請求項18記載の半導体記憶装置。

20. 前記アクセス回路は、前記アクセスアドレスに対する読み出しサイクル内において、前記アクセスアドレスで指定されるメモリセルアレイ上のワード線を一時的に選択した後に、自発的なリフレッシュを行う請求項18項記載の半導体記憶装置。

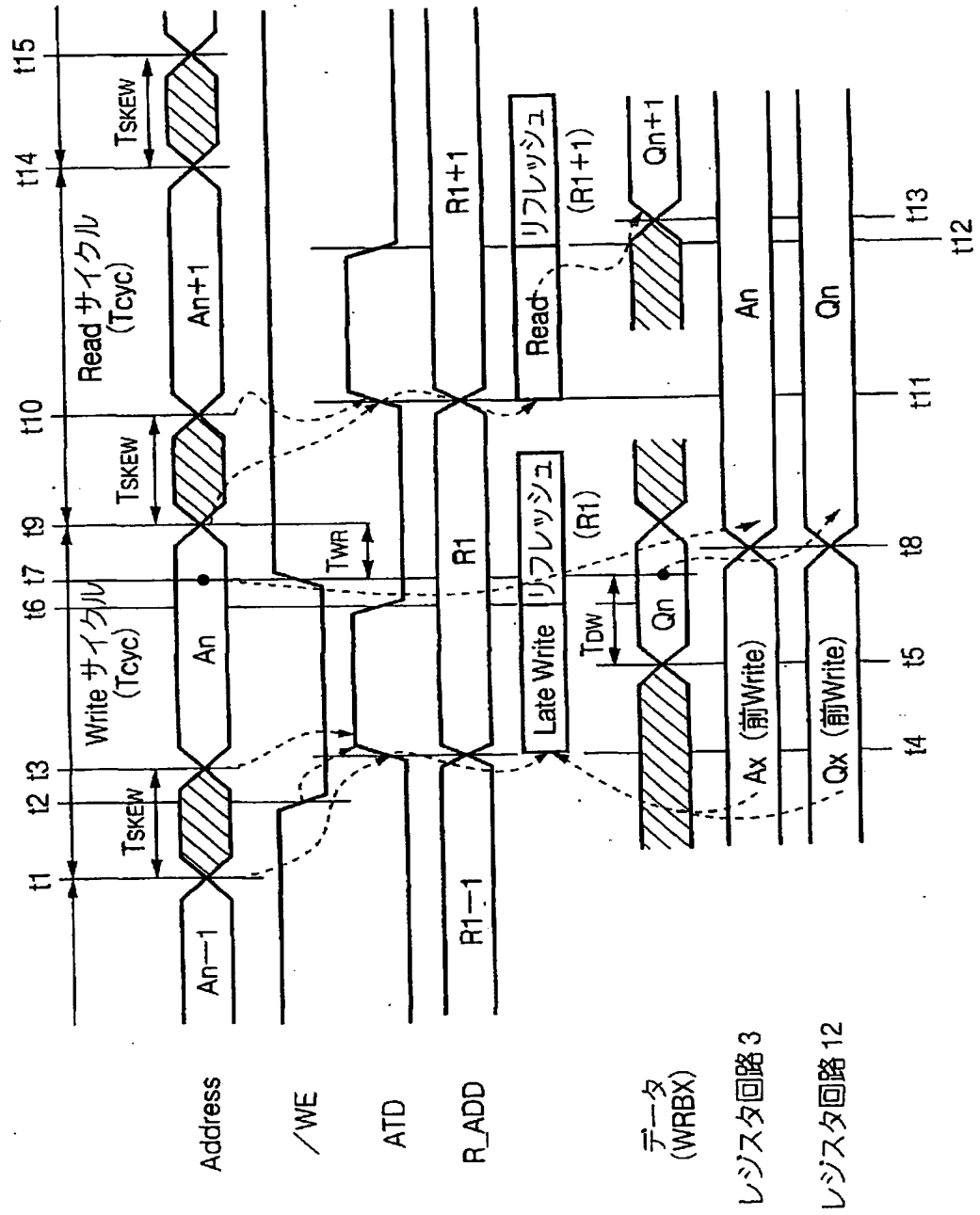
1/22

一
圖



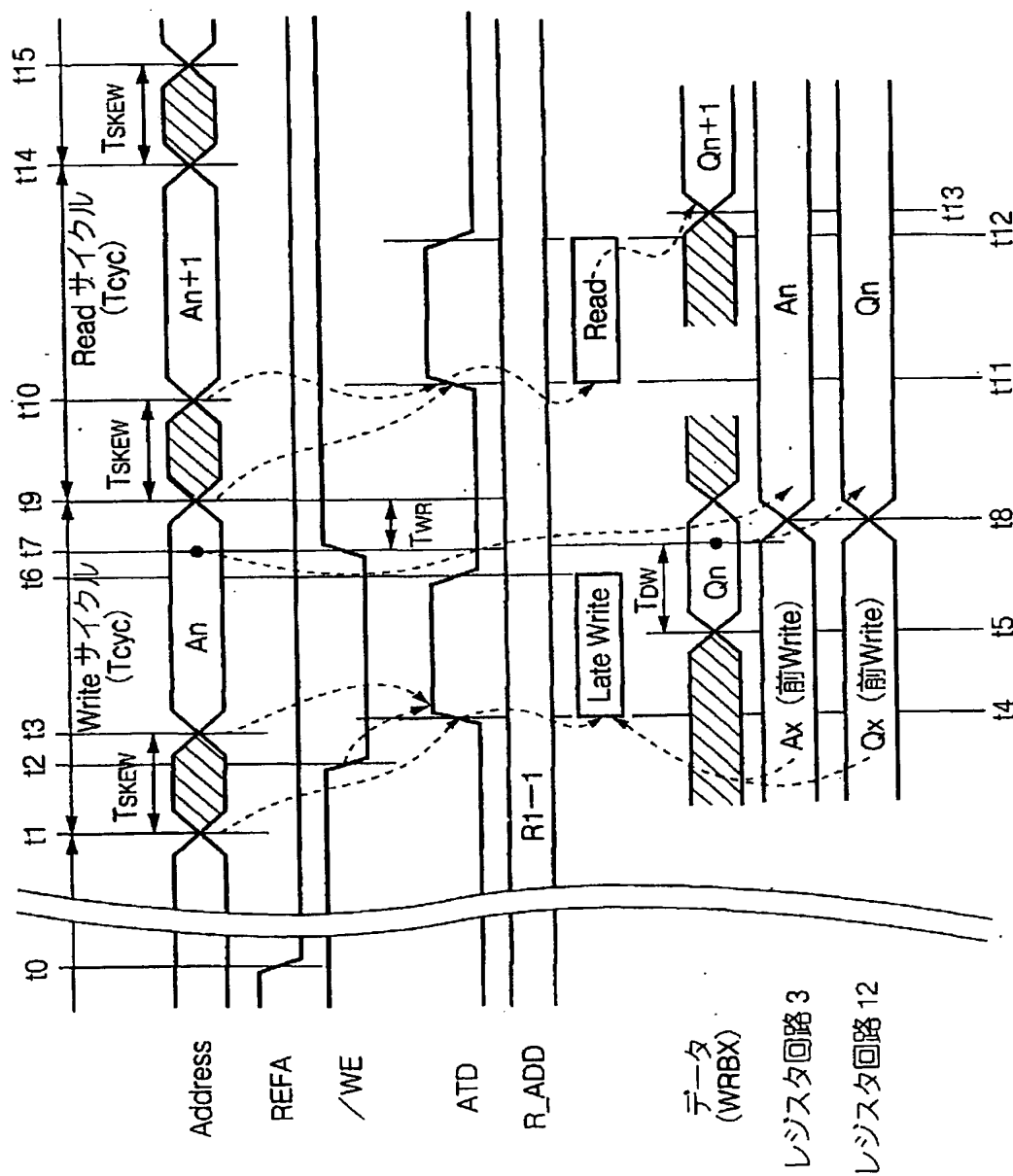
2/22

図 2



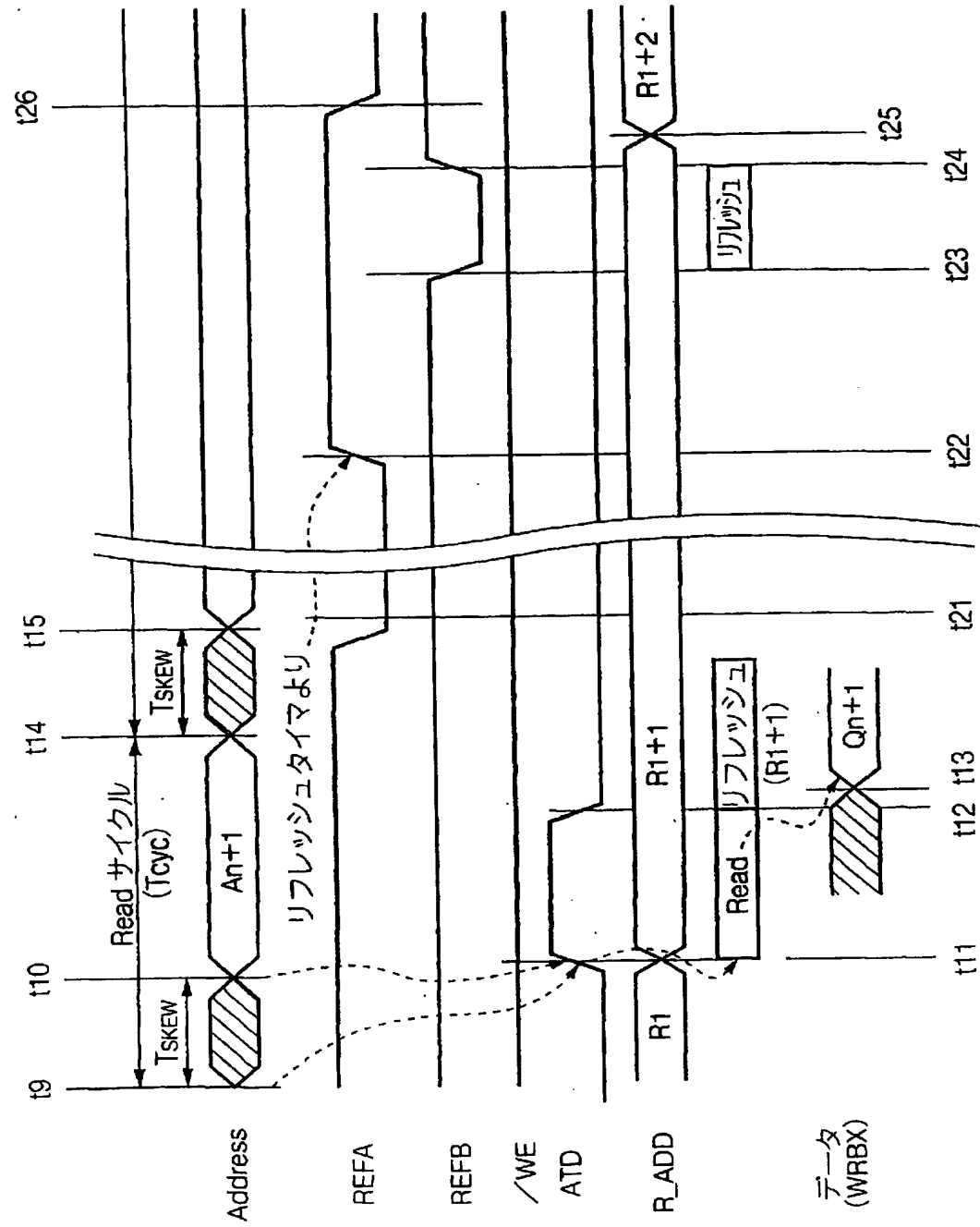
3/22

図 3



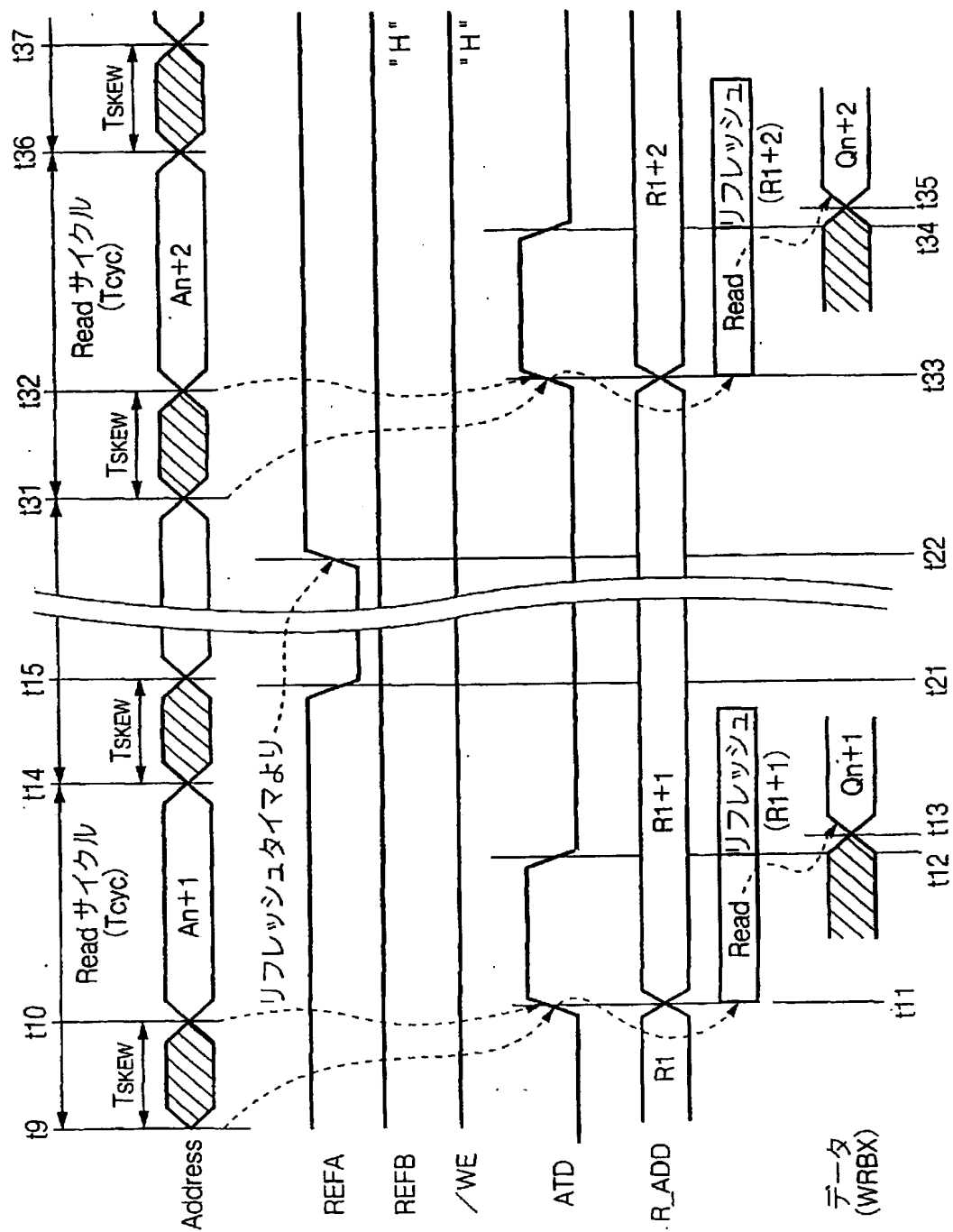
4/22

図 4



5/22

図 5



6/22

図 6

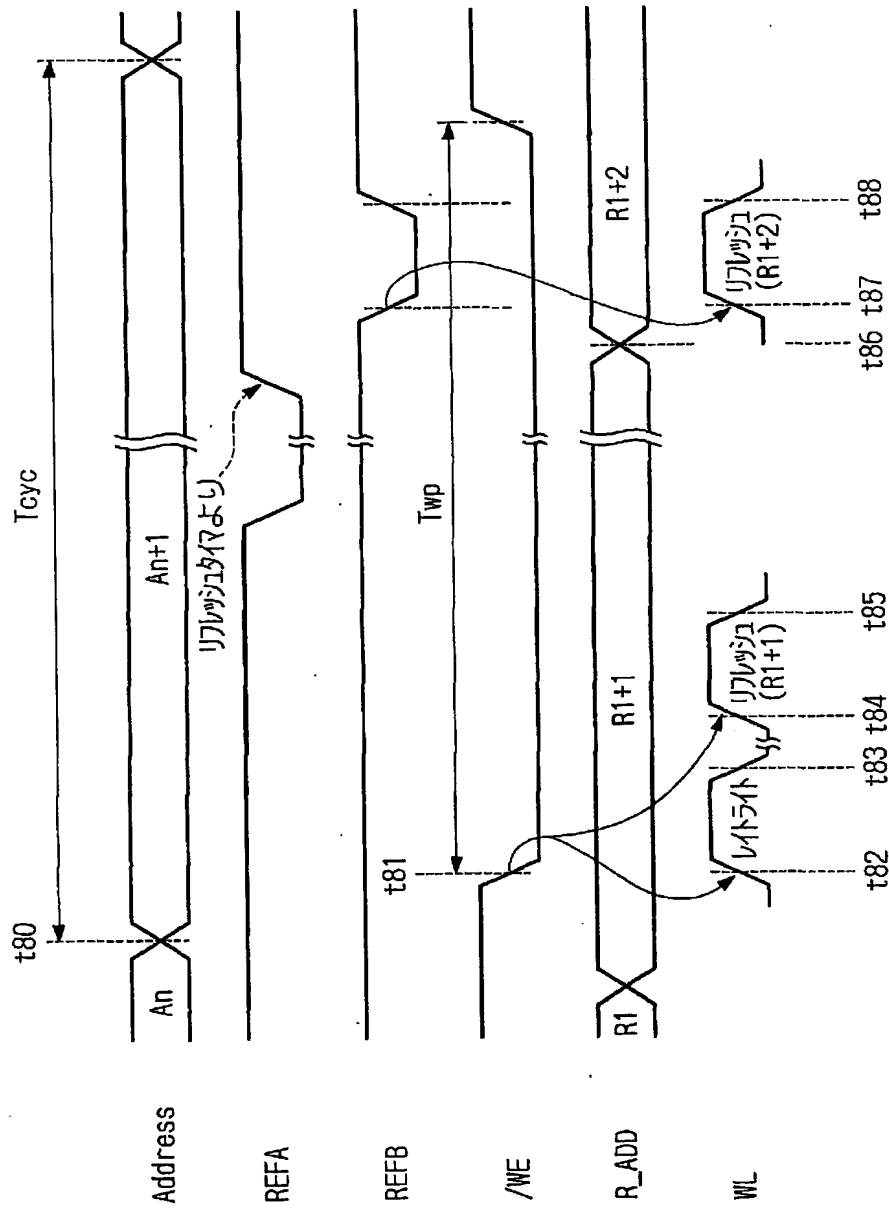
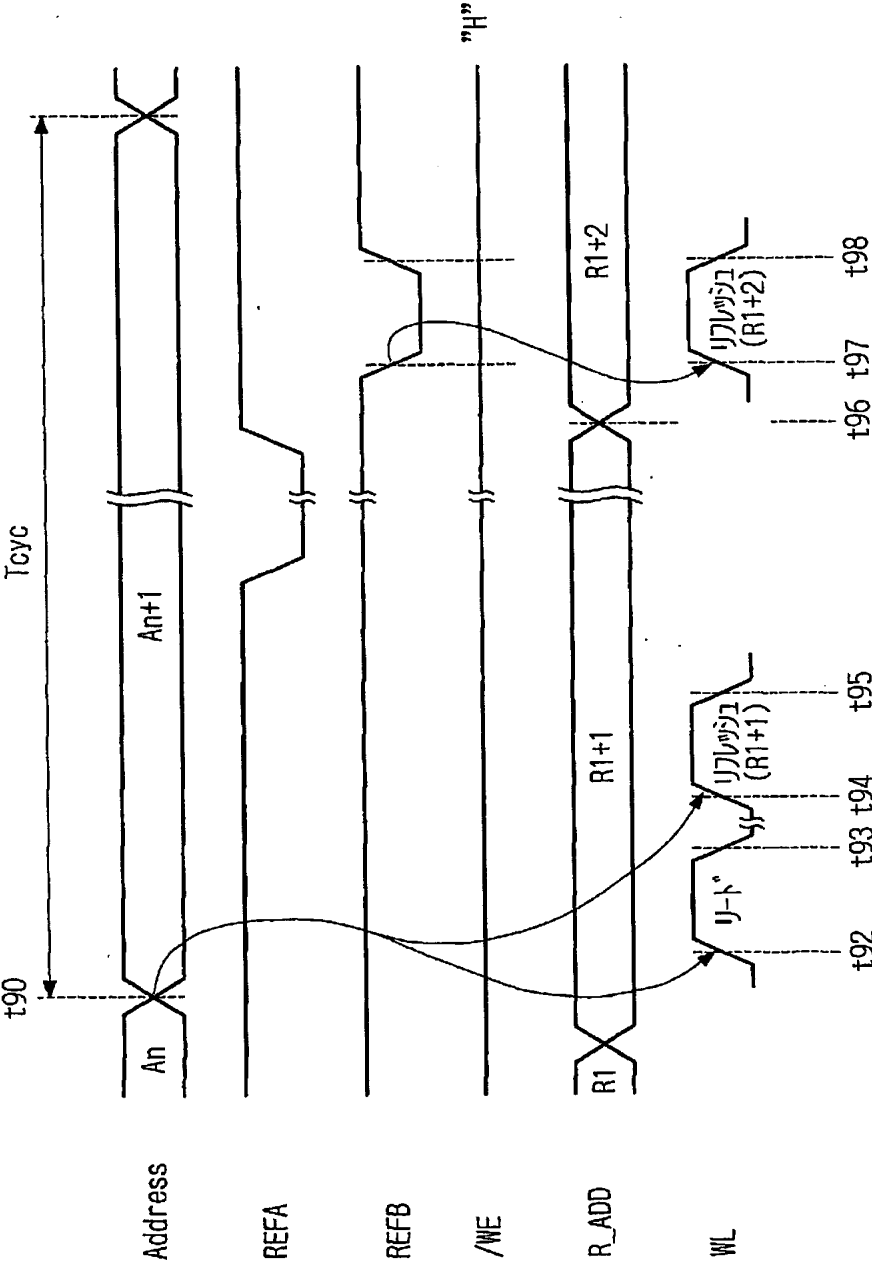
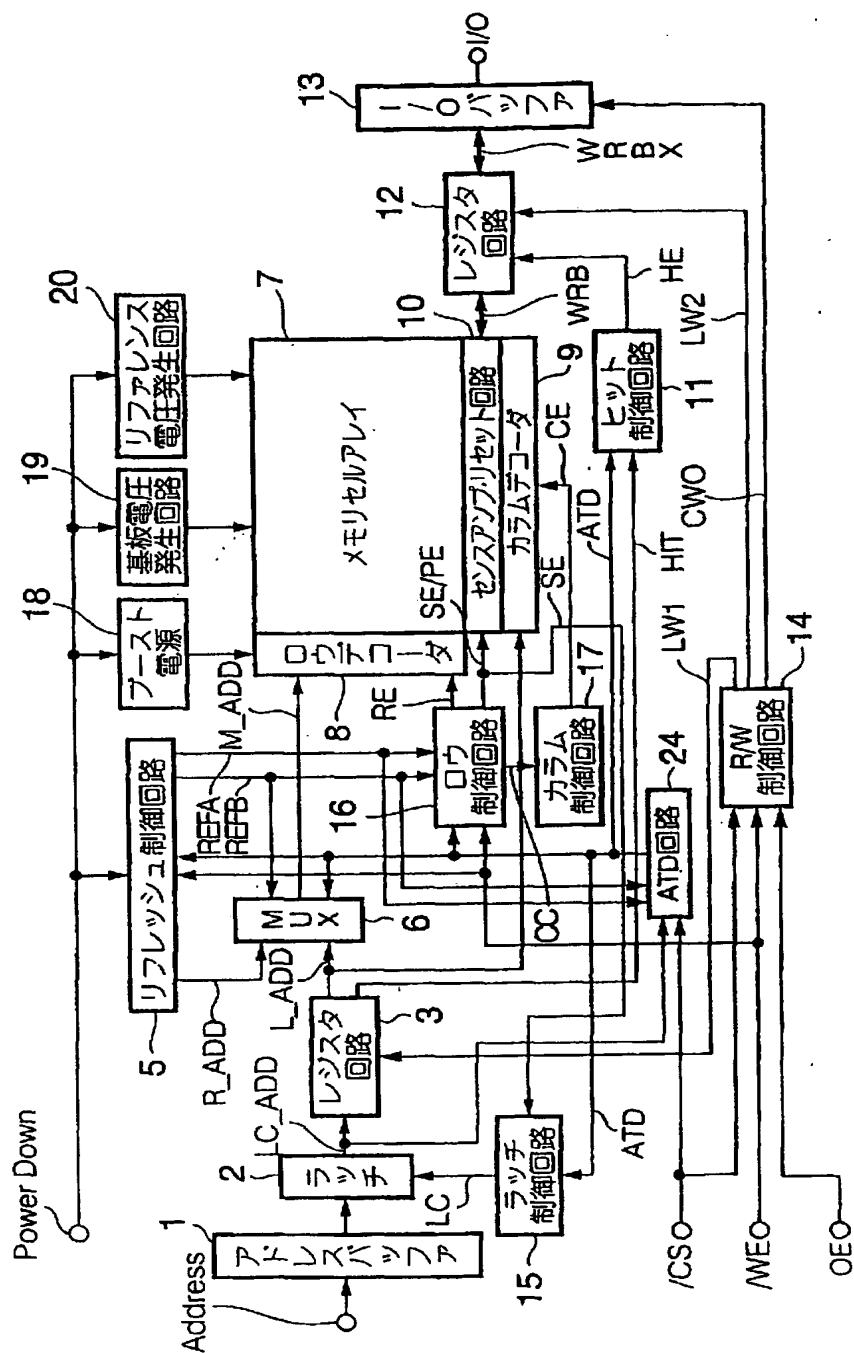


図 7



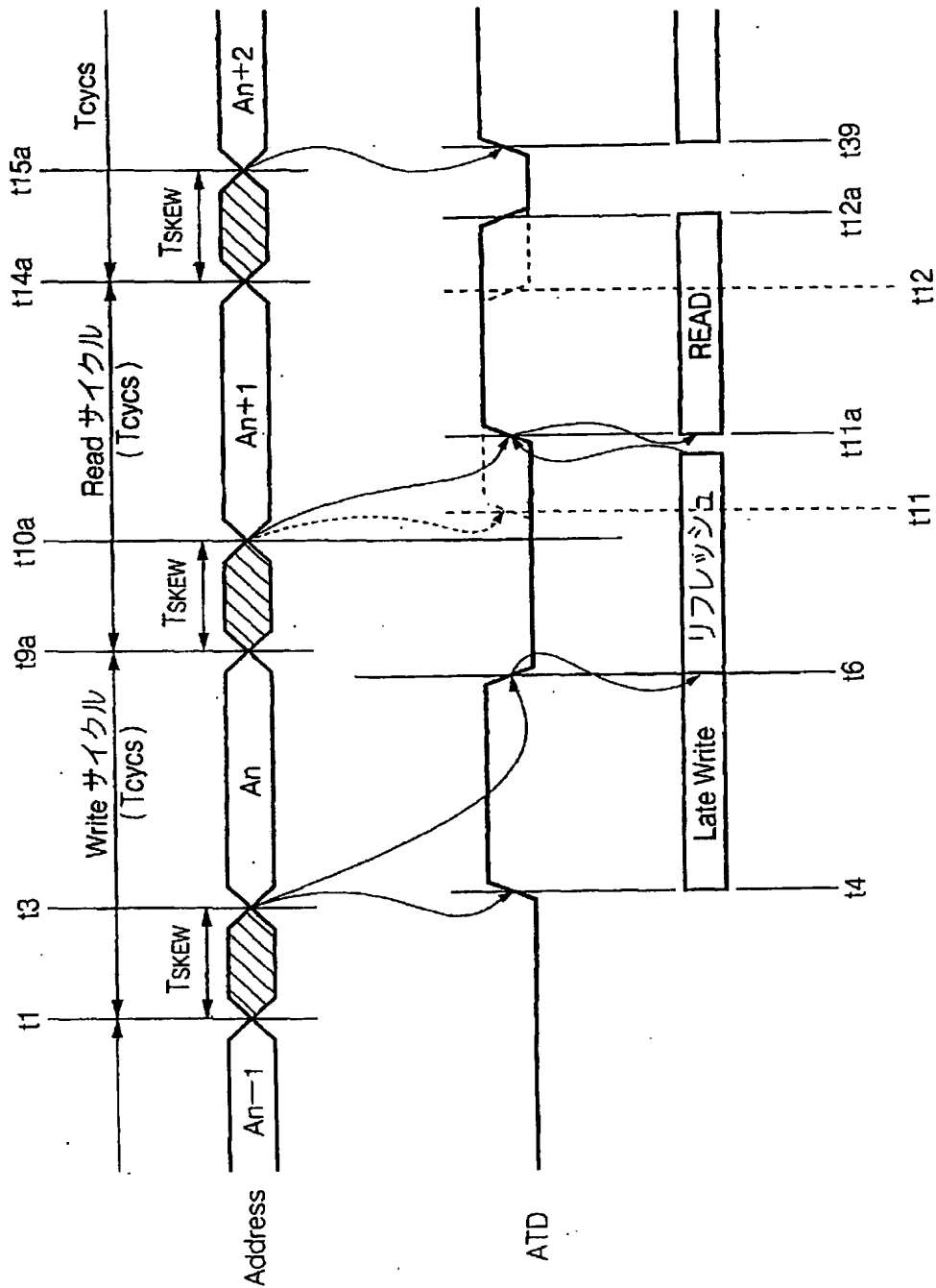
8/22

8
X



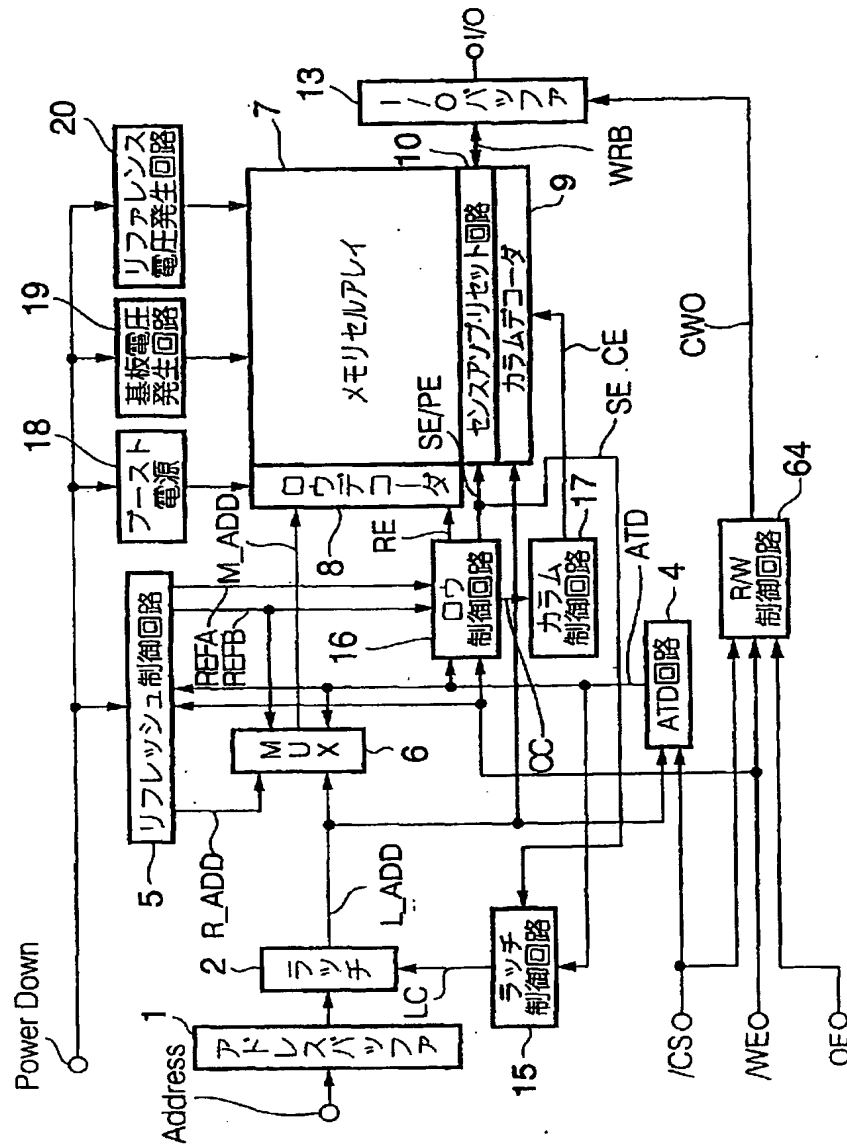
9/22

図 9



10/22

01 ☒



11/22

図 111

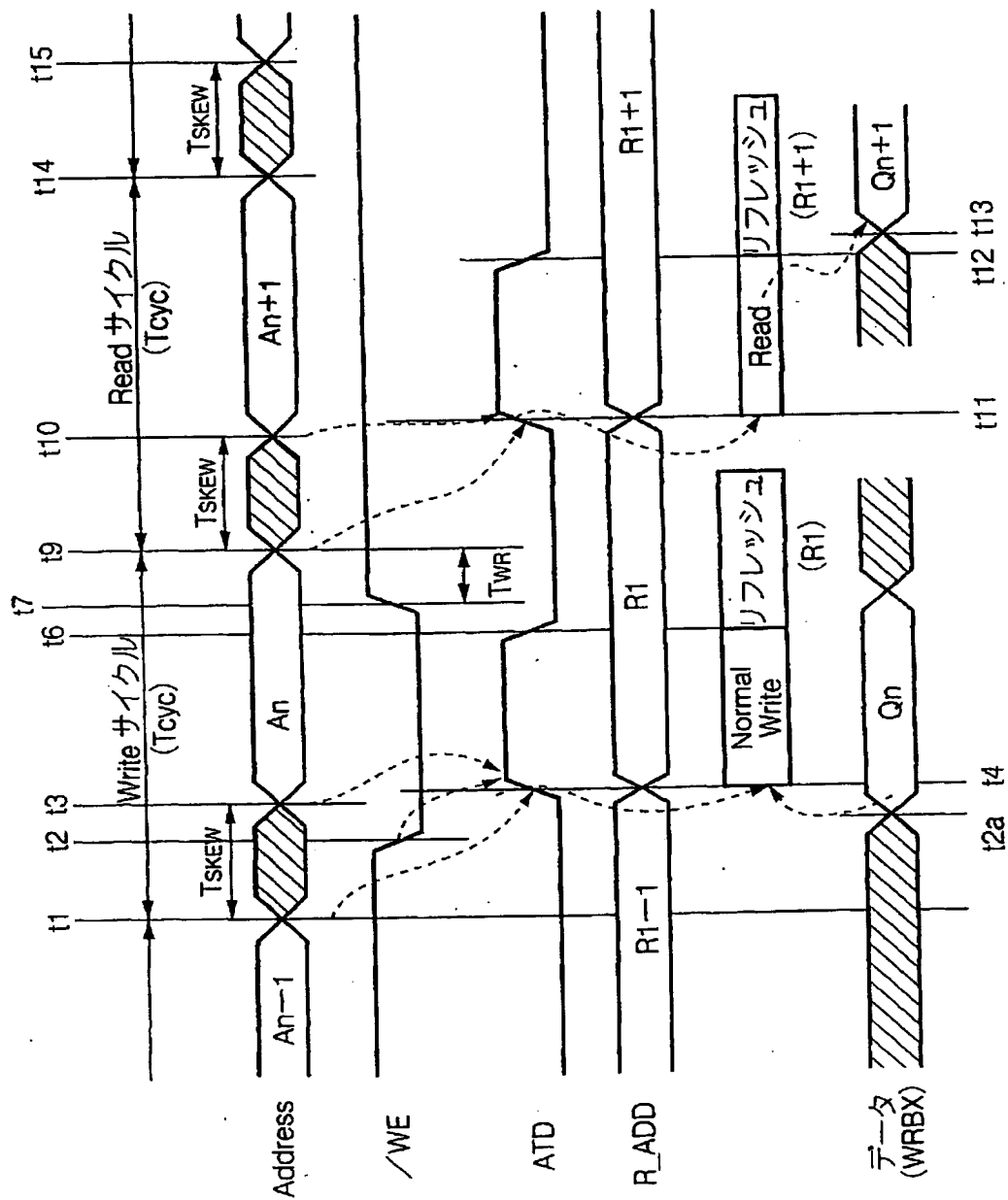
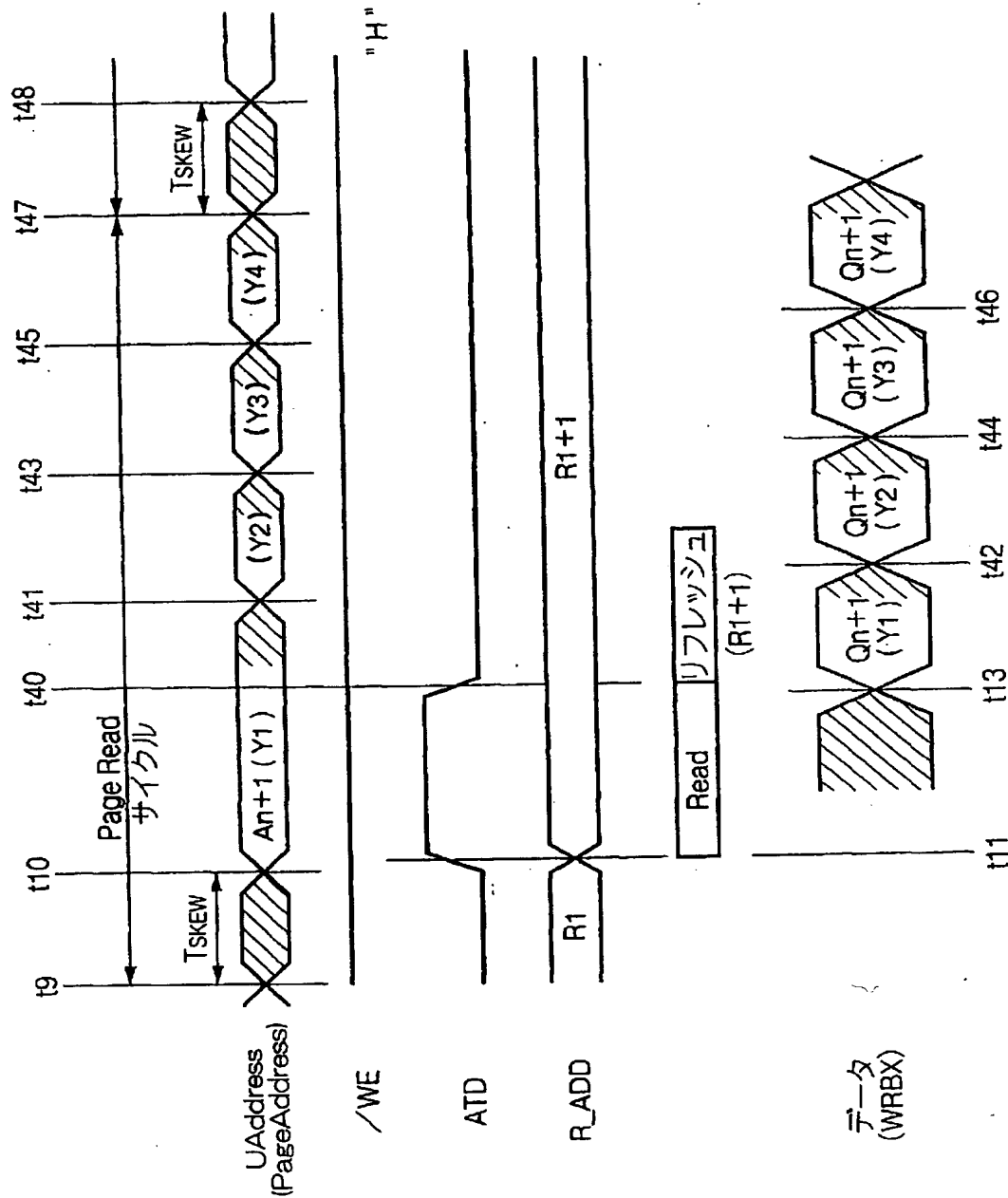
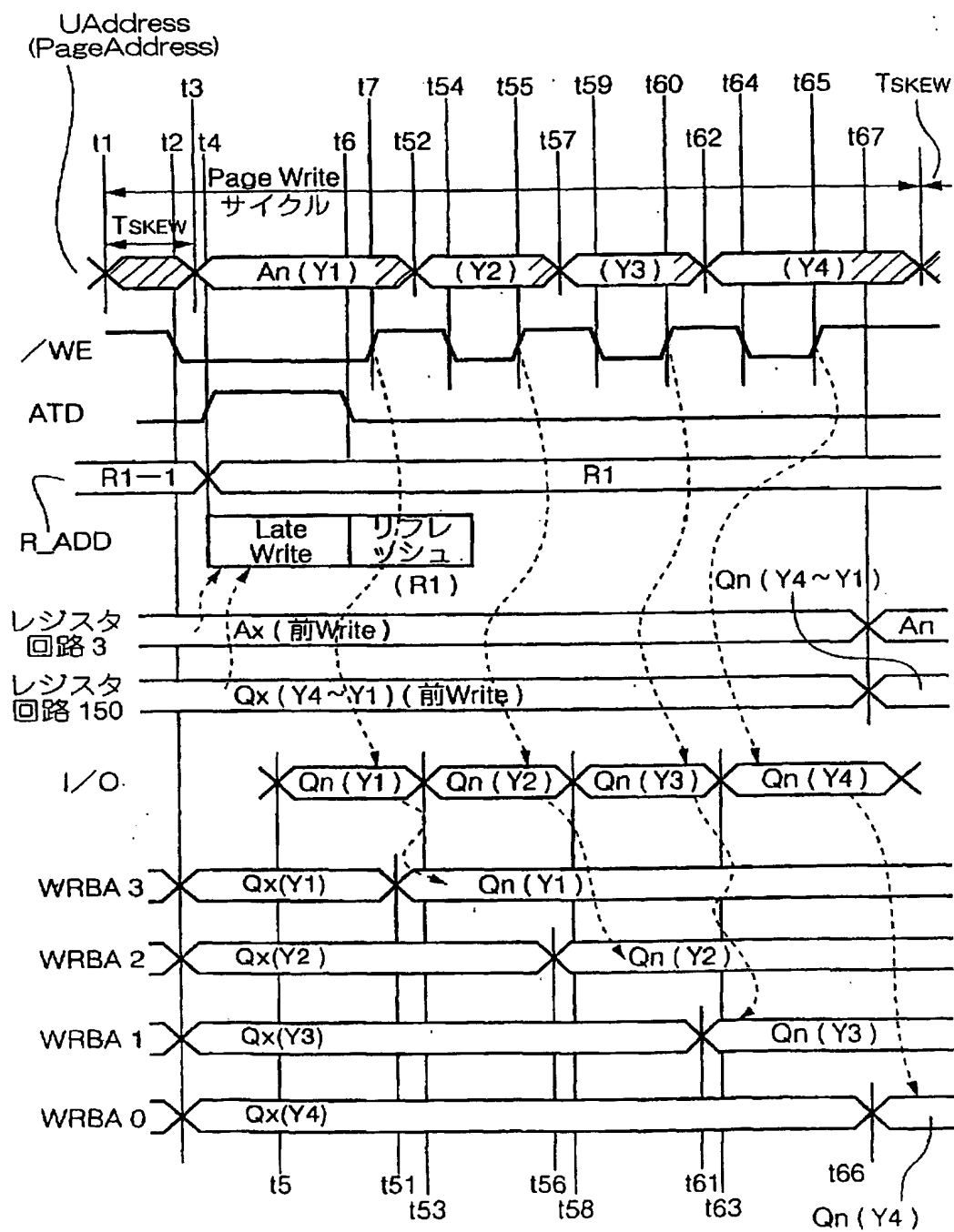


図 13



14/22

図 1 4



16/22

図 16

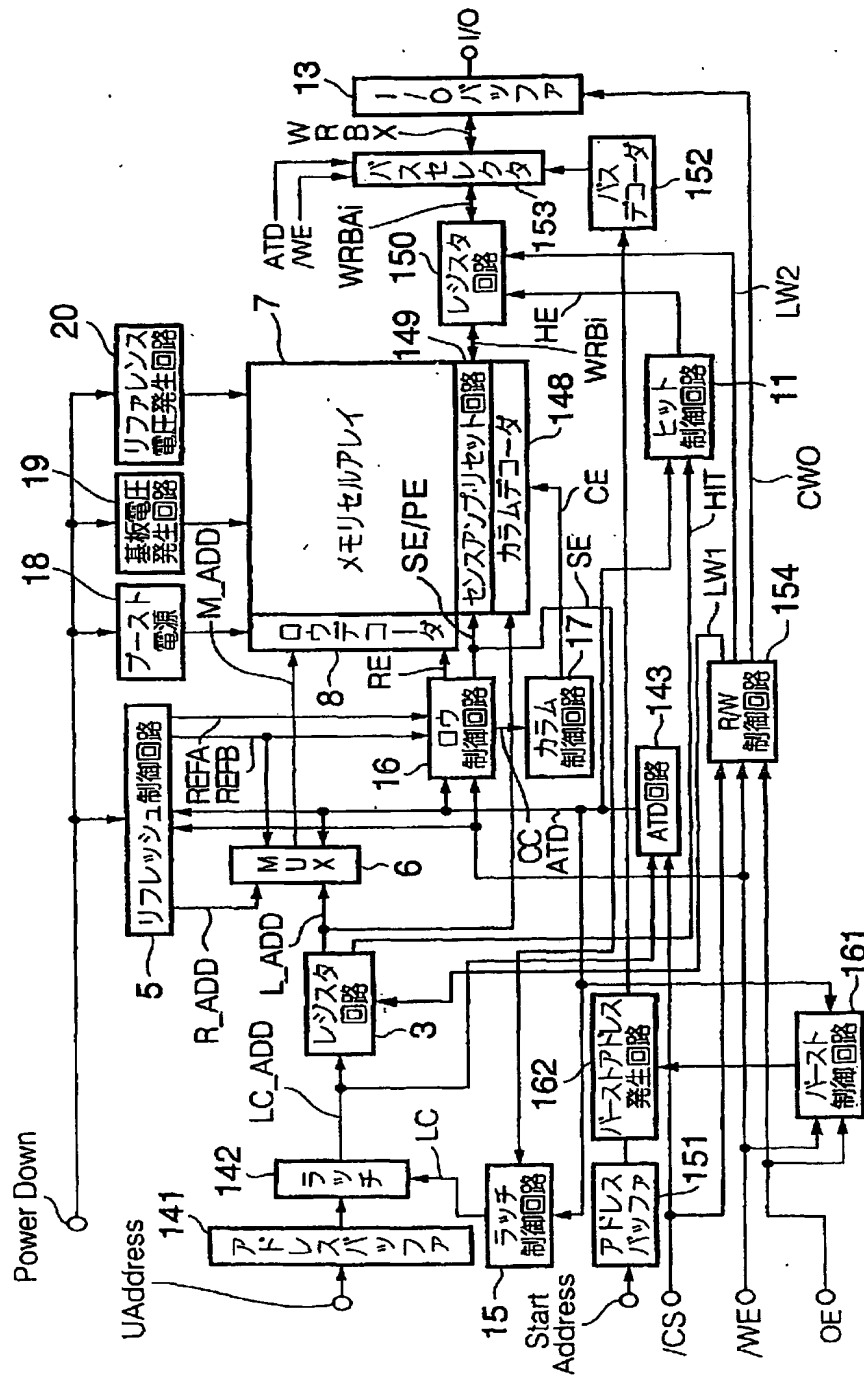
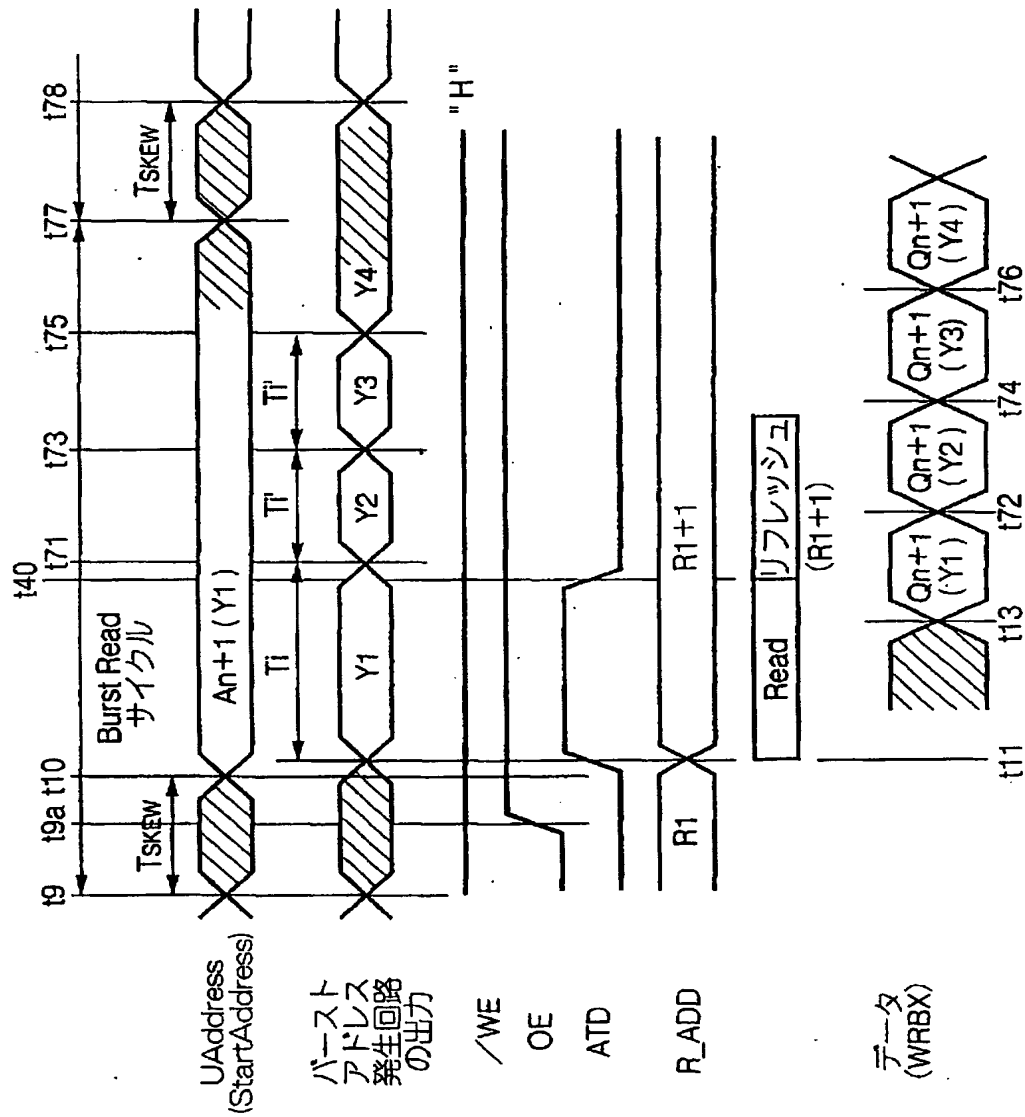
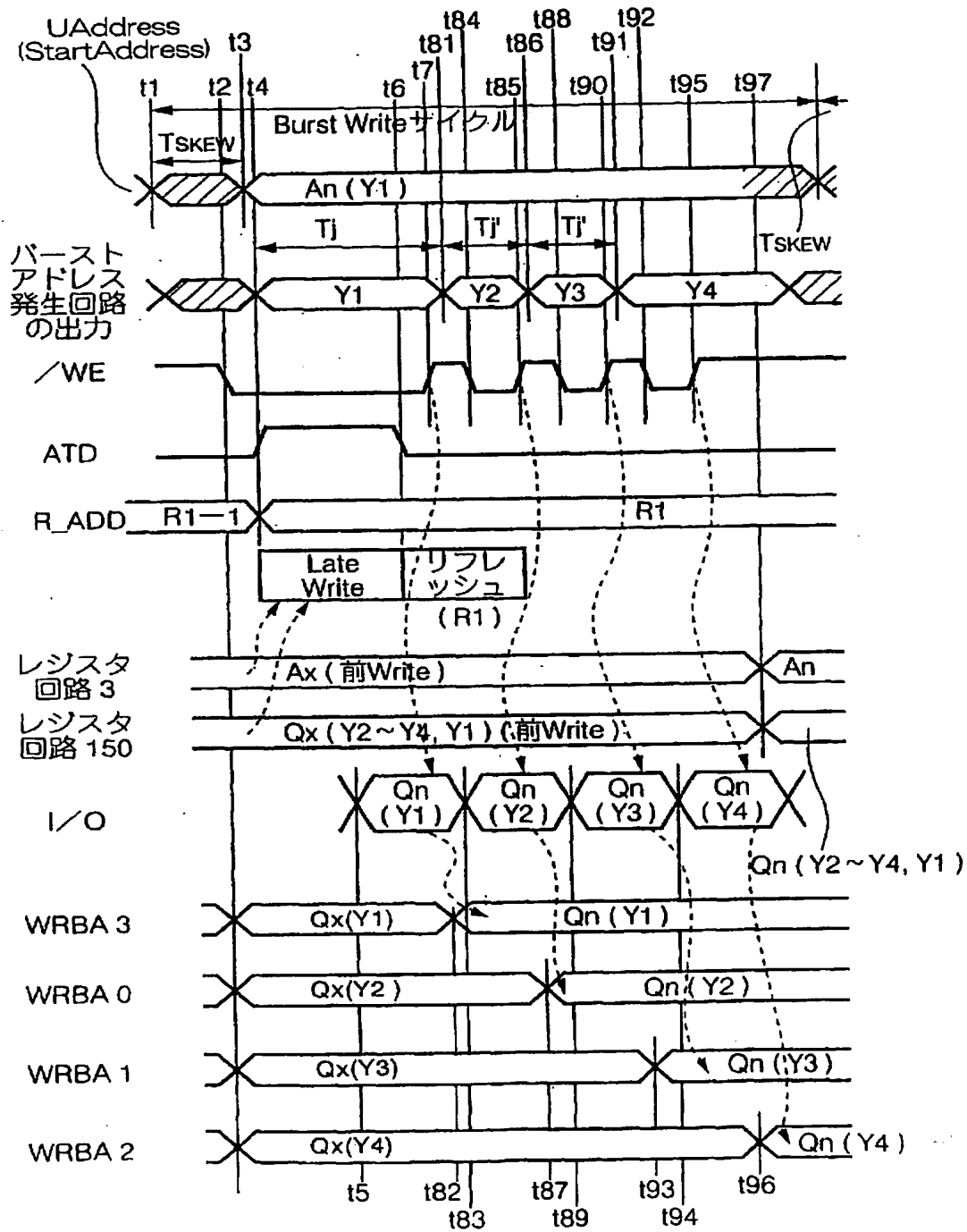


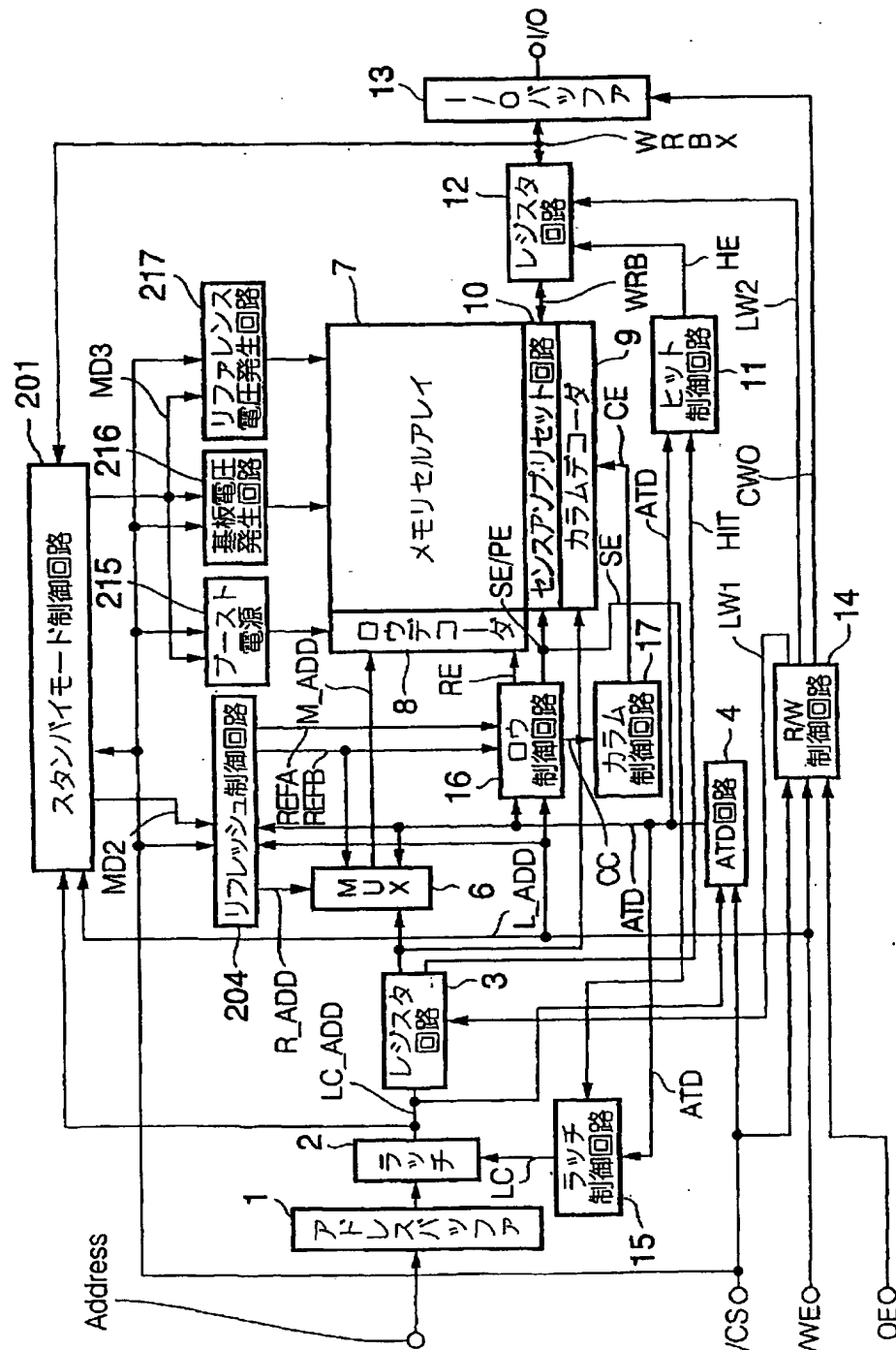

図 17



18/22

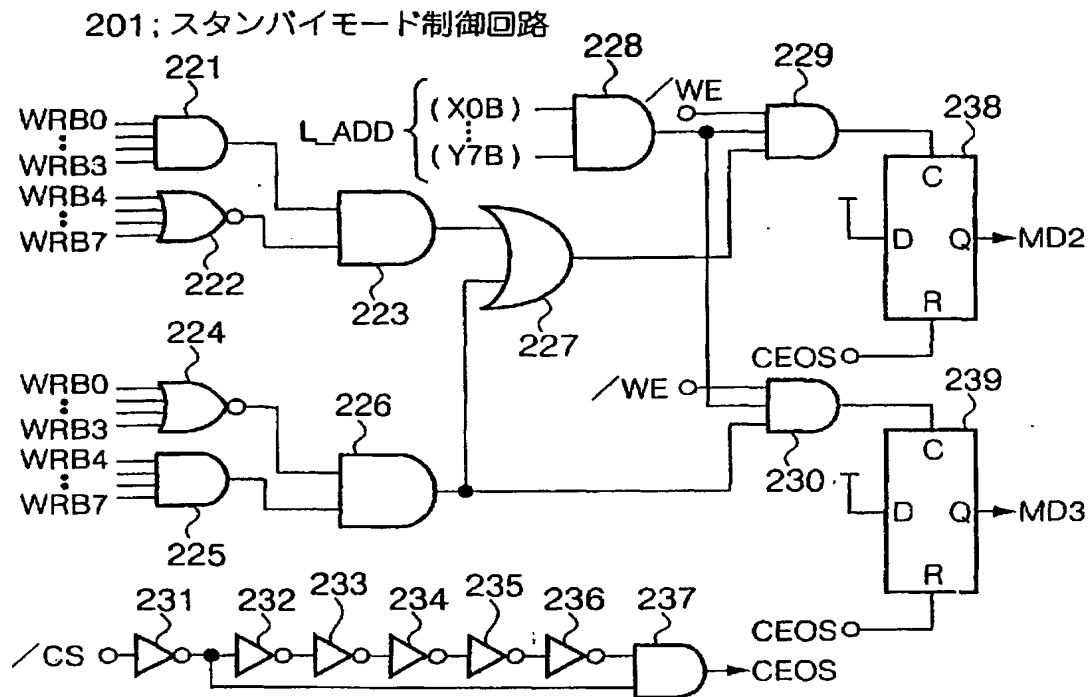
図 18



61 

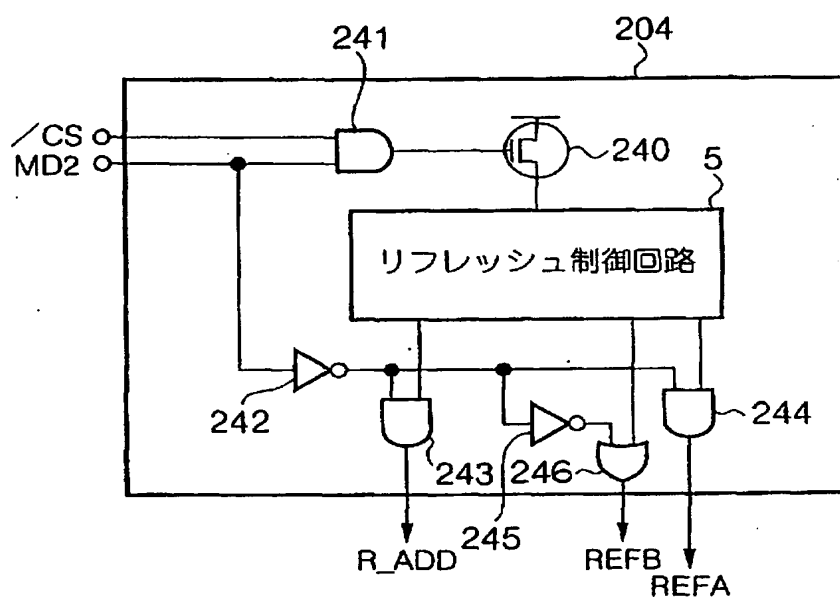
20/22

図 20



21/22

图 2 1



22/22

図 2 2

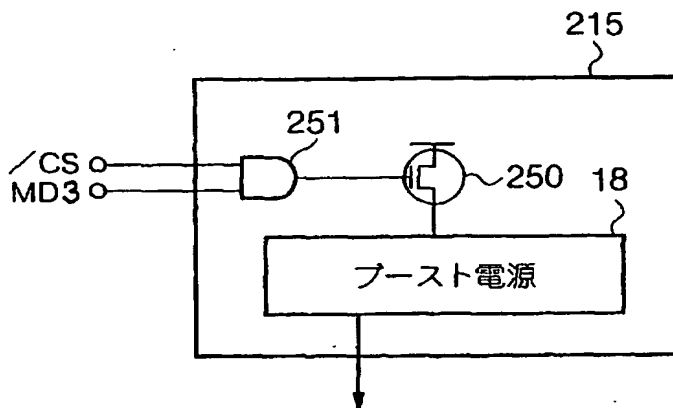


図 2 3

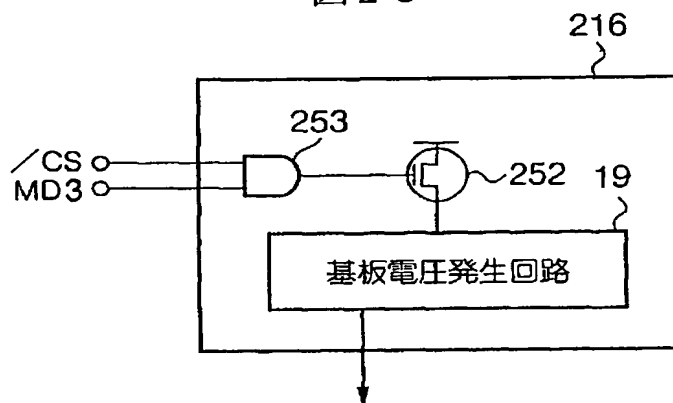
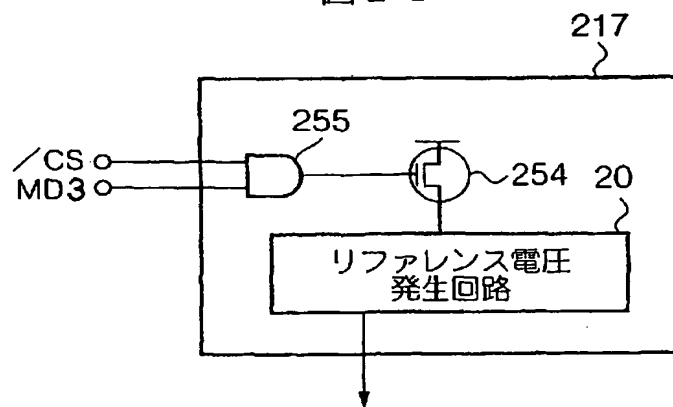


図 2 4



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/03065

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G11C 11/40

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G11C 11/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Toroku Jitsuyo Shinan Koho 1994-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 6-36557, A (Sharp Corporation),	6, 9
Y	10 February, 1994-(10.02.94),	10
A	Full text; drawings (Family: none)	1-5, 7, 8, 11-20
X	JP, 61-5495, A (Toshiba Corporation),	6
A	11 January, 1986 (11.01.86),	1-5, 7-20
	Full text; drawings	
	& DE, 3584694, A & EP, 166974, A2	
	& US, 4677592, A1 & DE, 3584694, C	
Y	JP, 60-113393, A (Hitachi, Ltd.),	10
	19 June, 1985 (19.06.85),	
	Full text; drawings (Family: none)	
A	JP, 1-94593, A (Mitsubishi Electric Corporation),	11
	13 April, 1989 (13.04.89),	
	Full text; drawings (Family: none)	

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"B" earlier document but published on or after the international filing date
"I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"J" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
04 July, 2001 (04.07.01)

Date of mailing of the international search report
17 July, 2001 (17.07.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/03065

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 5-189961, A (Hitachi, Ltd.), 30 July, 1993 (30.07.93), Full text; drawings (Family: none)	16

国際調査報告

国際出願番号 PCT/JPO1/03065

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ G11C 11/40

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ G11C 11/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996
日本国公開実用新案公報 1971-2001
日本国実用新案登録公報 1996-2001
日本国登録実用新案公報 1994-2001

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 6-36557 A (シャープ株式会社) 10.2月.1994 (10.02.94), 全文, 全図 (ファミリーなし)	6, 9 10 1-5, 7, 8, 11-20
X A	JP 61-5495 A (株式会社東芝) 11.1月.1986 (11.01.86), 全文, 全図 & DE 3584694 A & EP 166974 A2 & US 4677592 A1 & DE 3584694 C	6 1-5, 7-20
Y	JP 60-113393 A (株式会社日立製作所)	10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

04.07.01

国際調査報告の発送日

17.07.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

須原 宏光



5N 9057

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	19. 6月. 1985 (19. 06. 85) , 全文, 全図 (ファミリーなし)	11
	JP 1-94593 A(三菱電機株式会社) 13. 4月. 1989 (13. 04. 89) , 全文, 全図 (ファミリーなし)	
A	JP 5-189961 A(株式会社日立製作所) 30. 7月. 1993 (30. 07. 93) , 全文, 全図 (ファミリーなし)	16

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.